

Т.В. ГЛАДКИХ, НТУ "ХПИ",

С.Ю. ЛЕОНОВ, канд. техн. наук, НТУ "ХПИ"

ИСПОЛЬЗОВАНИЕ ЭЛЕМЕНТНОЙ БАЗЫ ACTIVE-HDL ПРИ ИССЛЕДОВАНИИ УСТРОЙСТВ В САПР НА ОСНОВЕ K-ЗНАЧНОГО ДИФФЕРЕНЦИАЛЬНОГО ИСЧИСЛЕНИЯ

У статті розглядаються питання, які пов'язані з можливістю застосування моделей, що описані на мові VHDL для дослідження дієздатності пристроїв у системі на основі K -значного диференційного числення. Це дає можливість більш точного аналізу дієздатності пристроїв, які спроектовані раніш у середовищі Active-HDL та надає розробленій системі властивість відкритості.

In article the questions connected to an opportunity of use of models, described on language VHDL for research of serviceability of devices in system are considered on the basis of K -value differential calculus. It enables more exact analysis of serviceability of the devices designed earlier in Active-HDL environment and expands property of an openness of the developed system.

Постановка проблемы. В настоящее время широкое распространение за рубежом имеет язык проектирования цифровой аппаратуры высокого уровня VHDL. Язык VHDL предназначен для описания проектов различной степени сложности – от простейшего вентиля до целой системы, состоящей из аппаратных и программных частей. Он позволяет строить модели на различных уровнях абстракции, выполнять имитационное моделирование и генерировать временные диаграммы, вести строгое документирование проекта, осуществлять синтез структуры по поведенческому описанию, верифицировать проект формальными методами, автоматически генерировать тесты. Однако, этот язык не позволяет исследовать особенности процессов переключения логических элементов и анализировать возможные сбои, которые могут появиться в результате рассогласования временных параметров входных сигналов.

Анализ литературы. Основы языка VHDL и такие его основные принципы, как поддержка функциональной декомпозиции (функциональная иерархия и рекурсия), поддержка структурной декомпозиции (структурная иерархия), представление системы в виде параллельно функционирующих взаимодействующих процессов, использование абстрактных типов данных, использование событийного моделирования, поддержка различных уровней абстракции и детализации представления проекта рассматриваются в [1]. Построение моделей в соответствии с такими уровнями абстракции, как поведенческий, потоковый и структурный описывается, например, в [2]. При этом для построений каждого типа моделей используется свое характерное подмножество средств языка. Для выполнения моделирования устройств,

описанных на языке VHDL, в настоящее время существуют системы моделирования, использующие этот язык, например, такие как Altera MaxPlus, Active HDL [1 – 3] и другие. Эти системы позволяют исследовать работу сложных устройств на поведенческом уровне. Однако использование булевых соотношений не позволяет оценить динамические параметры сложных проектируемых устройств с такой точностью, как это можно сделать при K -значном кодировании сигналов [4]. В связи с этим представляет практический интерес объединение возможностей систем моделирования на основе языка VHDL и на основе K -значного кодирования сигналов.

Целью данной статьи является расширение возможностей системы исследования работоспособности проектируемых вычислительных устройств на основе математического аппарата K -значного дифференциального исчисления для ее использования при анализе правильности функционирования моделей, описанных на языке VHDL с использованием преимуществ, имеющихся в этой системе.

Основной раздел. Для расширения возможности системы автоматизированного проектирования на основе K -значного дифференциального исчисления, был разработан модуль, позволяющий выполнить моделирование схем, спроектированных в среде Active-HDL, функционирование которых описывается на языке VHDL, средствами разработанной системы (методом K -значного дифференциального исчисления).

Алгоритм преобразования VHDL-формата в формат файлов системы автоматизированного проектирования на основе K -значного дифференциального исчисления приведен на рис. 1.

Спроектированное в среде Active-HDL устройство может быть сохранено в виде текстового файла, содержащего описание функционирования данного устройства на языке VHDL (*.vhd). Из полученного текстового описания извлекается информация о каждом элементе, входящем в состав устройства (номер элемента, функция, выполняемая элементом, количество входных контактов, количество выходных контактов) и о цепях, соединяющих контакты элементов (список цепей, подключенных к входным контактам, список цепей, подключенных к выходным контактам). На основании полученной информации формируются файлы, предназначенные для моделирования этого устройства в системе автоматизированного проектирования на основе K -значного дифференциального исчисления.

В качестве примера рассмотрим построение схемы четырехразрядного сумматора в среде ActiveHDL и ее моделирование в разработанной САПР.

На рис. 2 приведена структурная схема четырехразрядного сумматора, полученная в ActiveHDL [3].

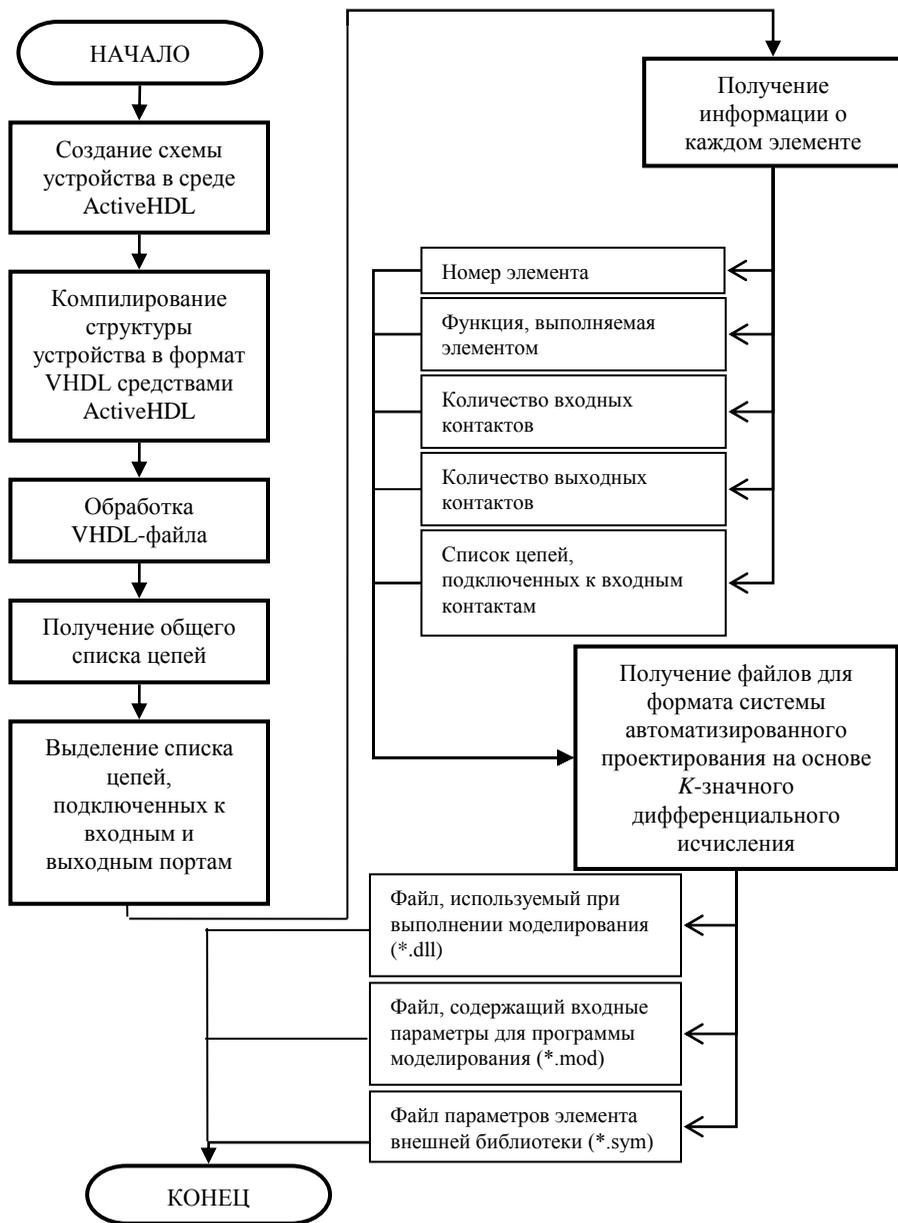


Рис. 1

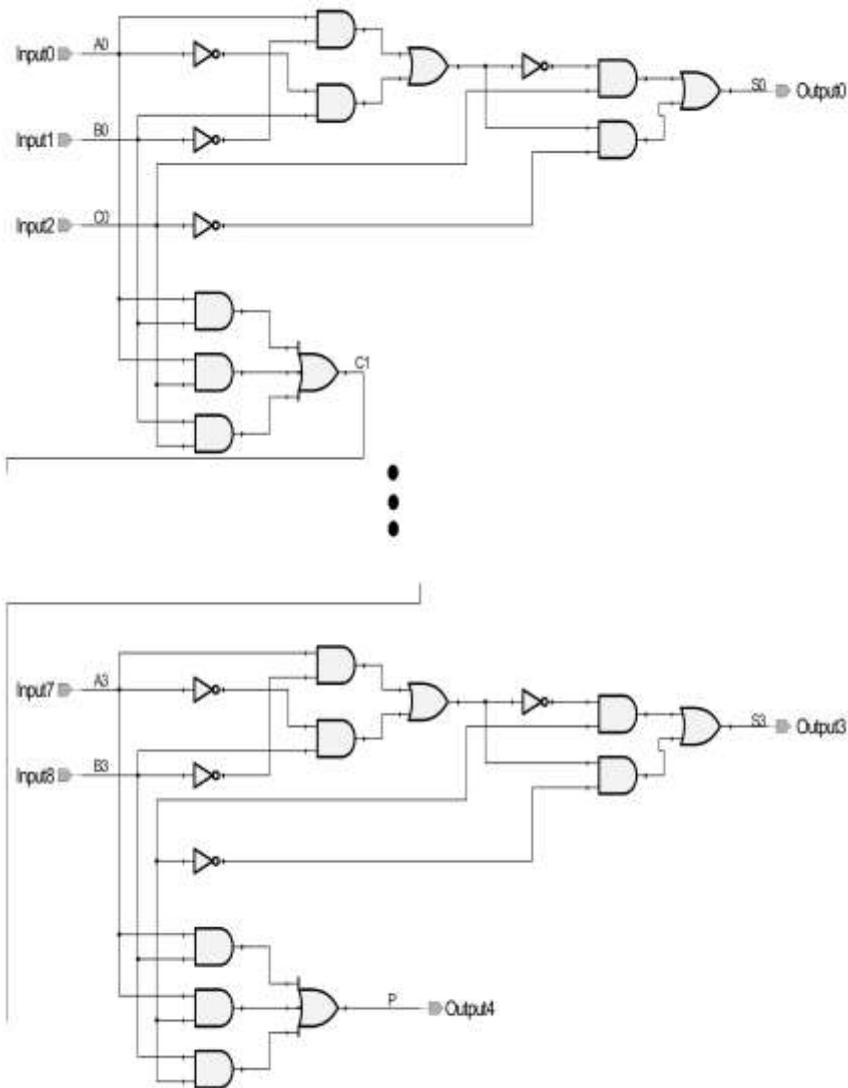


Рис. 2

Описание функционирования данного устройства на языке VHDL после компиляции содержится в файле с расширением *.vhd, который является входным для программы конвертирования.

После выполнения программы конвертирования автоматически запускается программа моделирования с использованием метода K -значного дифференциального исчисления, в которой после задания входных значений можно выполнить моделирование устройства. Результаты моделирования четырехразрядного сумматора приведены на рис. 3.

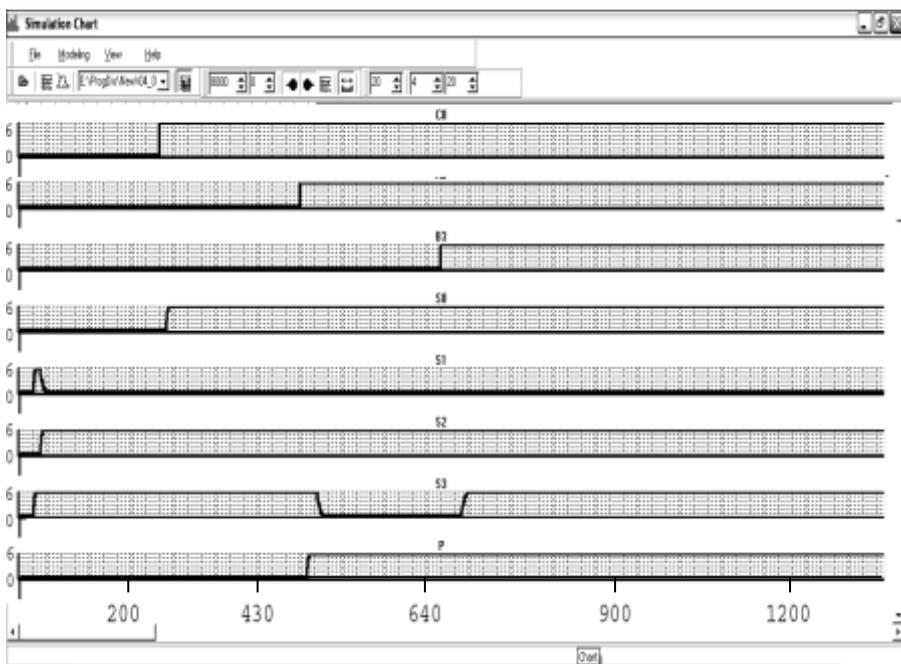


Рис. 3

Для демонстрации преимущества использования средств моделирования разработанной САПР на основе K -значного дифференциального исчисления рассмотрим моделирование устройства при наличии гонки по входам (рис. 4) [5 – 7].

Одновременное противофазное переключение сигналов A_0 и B_0 приводит к появлению провала амплитудой 5 уровней квантования при значности $K=7$ на выходе S_0 и всплеска амплитудой 2 на выходе S_1 на интервале от 220 шага моделирования до 230 шага. Таким образом, имеется возможность не только определить место возможного сбоя, но и оценить опасность его появления.

После выполнения программы конвертирования имеется возможность использовать спроектированное в ActiveHDL устройство как элемент ее библиотеки.

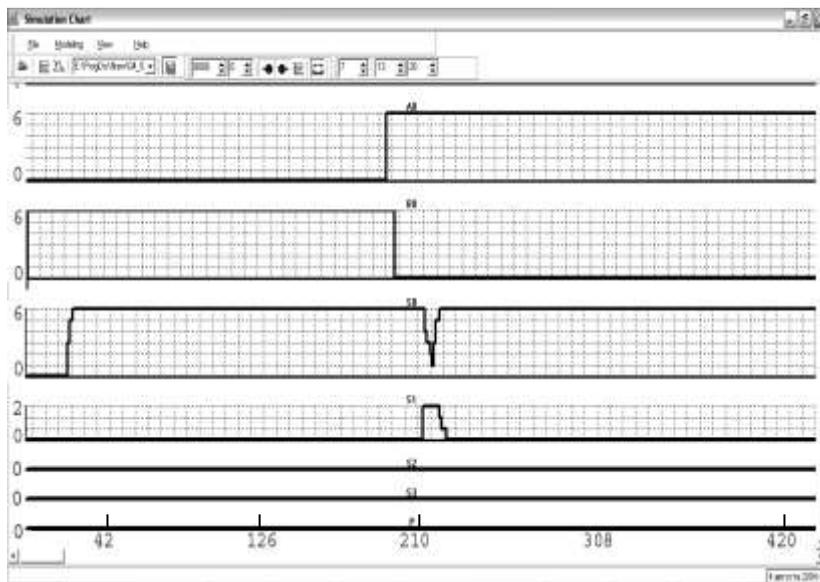


Рис. 4

Выводы. Разработанный модуль конвертирования программ моделирования из системы ActiveHDL в систему, построенную на основе K -значного дифференциального исчисления, позволяет добавить новые свойства открытости разработанной системе и дает возможность пополнять ее элементную базу за счет устройств, спроектированных в ActiveHDL. Таким образом, имеется возможность не только выполнить моделирование устройства, разработанного в ActiveHDL, методом K -значного дифференциального исчисления, но и включить данное устройство в качестве элемента библиотеки в состав более сложного устройства.

Список литературы: 1. *Перельройзен Е.З.* Проектируем на VHDL – М.: Солон-Пресс, 2004. – 448 с. 2. *Суворова Е.А., Шейнин Ю.Е.* Проектируем на VHDL. – С.-Пб.: БХВ-Петербург, 2003. – 576 с. 3. *ACTIVE-HDL Серия.* Книги 1-4. США, Невада: ALDEC, 1999. – www.aldec.com.ua. 4. *Гладких Т.В., Леонов С.Ю.* Система моделирования устройств на основе K -значного дифференциального исчисления. Научно-методична конференція "Використання комп'ютерних технологій у навчальному процесі". Тези доповідей / Харків: ХТУРЕ, 1997. – С. 180 – 181. 5. *Воробьев Н.В.* Риски сбоя в комбинационных схемах // Chip News. – №2. – 1998. – С. 26 – 30. 6. *Воробьев Н.В.* Методы анализа комбинационных схем на риски сбоя // Chip News. – 1998. – №3. – С. 42 – 44. 7. *Мальшенко Ю.В.* и др. Автоматизация диагностирования электронных устройств / Ю.В. Мальшенко, В.П. Чипулис, С.Г. Шаршунов. – М.: Энергоиздат, 1986. – 216 с.

Поступила в редакцию 31.09.2004