

Л.В. ДЕРБУНОВИЧ, д-р техн. наук, НТУ «ХПИ» (г.Харьков),
М.А. БЕРЕЖНАЯ, канд. техн. наук, ХНУРЭ (г.Харьков),
М.Г. РЫЖИКОВА, ХНУРЭ (г.Харьков),
Д.А. ТАТАРЕНКО, НТУ «ХПИ» (г.Харьков)

ГЕНЕРАТОРЫ ТЕСТОВ ДЛЯ ВСТРОЕННОГО САМОТЕСТИРОВАНИЯ ДИСКРЕТНЫХ УСТРОЙСТВ

Запропоновано новий метод синтезу генераторів детермінованих тестів для збудованого самотестування дискретних пристроїв на основі зсувних регістрів з нелінійним зворотним зв'язком та перетворювачем тестових векторів.

A new built-in test pattern generation method of precomputed test set is proposed. The pattern generator consists of two component : nonlinear feedback shift register generator and combinational logic to map the outputs of pattern generator.

Постановка проблеми. Встроенное самотестирование (Built-in-Self-Test (BIST)) дискретных устройств (ДУ) широко используется в производстве современных ДУ на уровне печатных плат и получает дальнейшее развитие при проектировании и создании систем на одном кристалле (СОК). Повышение быстродействия логических элементов, сложности СОК и необходимости проверки их исправности на рабочих частотах ДУ, достигающих 1÷5 ГГц, определяют преимущества BIST перед внешними средствами диагностирования. В работах известных специалистов ведущих зарубежных фирм и корпораций – разработчиков и производителей СОК была предложена идея совмещения концепции BIST и стандарта проектирования IEEE 1149.1 “Периферийное сканирование”. Этот стандарт определяет структуру СОК, в которой входные регистры функционируют в двух режимах: рабочем и тестовом. В тестовом режиме входные регистры СОК реконфигурируются в сдвиговые регистры (СР), что позволяет вводить и выводить диагностическую информацию через стандартный порт JTAG и свести процедуру диагностирования к проверке исправности комбинационной части ДУ. В режиме самотестирования входные регистры реконфигурируются в генераторы тестов и эталонных сигнатур, а выходные регистры в синдромно-сигнатурные анализаторы выходных реакций проверяемого ДУ. В качестве генераторов тестов используются сдвиговые регистры с линейными и нелинейными обратными связями (СРЛОС и СРНОС), сети клеточных автоматов (СКА) [1].

Для проверки исправности ДУ используются различные методы компактного тестирования: исчерпывающее, псевдоисчерпывающее, псевдослучайное тестирование на основе СРЛОС, СРНОС и СКА, тестовое диагностирование детерминированным множеством тестов, которые формируются на этапе проектирования ДУ программными системами генерации тестов и моделирования неисправностей.

Эффективность встроенных средств диагностирования ДУ определяется полнотой обнаружения неисправностей, временем тестирования и аппаратными затратами на реализацию этих средств. Как показывает опыт внедрения BIST производителями СОК, не более 5÷10% площади кристалла допускается использовать для реализации встроенных средств диагностирования. Поэтому разработка методов синтеза и проектирования эффективных технических средств BIST, отвечающих перечисленным выше критериям, является актуальной проблемой.

Анализ литературы. В [1] проведен анализ существующих методов генерации псевдоисчерпывающих и псевдослучайных тестов (ГПТ) на СРЛОС и СРНОС, представлен метод построения ГПТ на основе вычисления и анализа остатков, генерируемых целью СРЛОС/СР и минимизации числа исключаемых остатков СР. В [2] предложен метод синтеза ГПТ на основе СРНОС/СР и разработан алгоритм нахождения гамильтоновых циклов в графе $(n+1)$ -разрядного СР по автоматным моделям графа n -разрядного СР. В [3] предложена структура генераторов тестов на основе СР с примитивными полиномами в поле $GF(2^m)$, что позволяет генерировать тесты с лучшей обнаруживающей способностью, чем ГПТ на СРЛОС/СР. В [4, 5] для улучшения степени покрытия неисправностей тесты, генерируемые СРЛОС/СР, подаются на входы проверяющего ДУ через комбинационную схему преобразователя кодов, который формирует тесты, вычисленные заранее системой генерации тестов и моделирования неисправностей. В [6, 7] предложен метод генерации детерминированных тестов (ДТ) с использованием ПЗУ, счетчиков и регистров, встроенных на кристалл или печатную плату. Исходное множество ДТ разбивается на подмножества, произведение которых позволяет сформировать тестовую последовательность, для хранения которой используются ячейки памяти меньшей емкости. В [8, 9] предложены методы синтеза ГПТ на СРНОС/СР и клеточных автоматах, позволяющие сократить аппаратные затраты на реализацию встроенных средств диагностирования ДУ.

Цель статьи – разработка метода синтеза генераторов детерминированных тестов на основе СРНОС/СР с минимальными аппаратными затратами и минимальной длиной проверяющей последовательности.

Генераторы последовательностей с преобразователями тестовых векторов.

Широкое распространение методов компактного тестирования ДУ путем использования генераторов псевдослучайных и псевдоисчерпывающих тестов с последующим сжатием выходной реакции синдромно-сигнатурными анализаторами в качестве встроенных средств диагностирования СОК определило ряд новых проблем при проектировании СОК и их диагностического обеспечения. Первая проблема связана с необходимостью повышения степени покрытия неисправностей СОК по меньшей мере для класса константных неисправностей, вторая – обусловлена необходимостью снижения потребляемой энергии в процессе тестового диагностирования СОК.

Известно, что длина псевдоисчерпывающих тестов для СОК с числом входов $50 \div 200$ может составлять $10^4 \div 10^6$ тестовых наборов. При этом, как правило, не обнаруживаются неисправности "трудно" управляемых узлов проверяемых схем [4]. Кроме того, так как потребляемая энергия в КМОП схемах пропорциональна числу переключений ее элементов, то сокращение длины тестовых последовательностей позволит сократить время тестирования и минимизировать энергетические затраты на техническое обслуживание СОК.

Одним из подходов для решения этой проблемы является метод тестирования, основанный на использовании генераторов тестов на основе СРЛОС и преобразователей генерируемых последовательностей, которые из отдельных тестовых наборов формируют множество детерминированных тестов (ДТ), обнаруживающих целевые неисправности в определенных узлах схемы (рис.1). При этом длина тестовой последовательности не изменяется. Использование множества ДТ, покрывающих 100% константных неисправностей, является наиболее экономичным решением задачи тестирования СОК при условии реализации схем генерации тестов с минимальными аппаратными затратами.

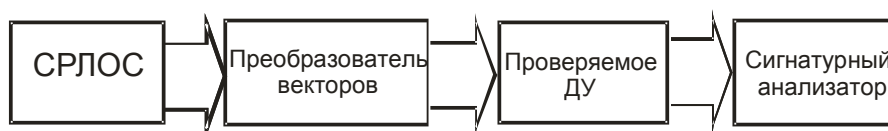


Рис. 1. Метод тестового диагностирования на основе СРЛОС и преобразователя тестовых векторов

Одним из решений этой задачи является использование ПЗУ, встроенного на кристалл или печатную плату, для записи и хранения полного множества ДТ, синтезируемых системами генерации тестов и моделирования неисправностей на этапе проектирования СОК. Управление адресными счетчиками ПЗУ позволяет формировать тесты для последовательностных схем путем выборки сканируемых тестовых наборов, которые осуществляют установку триггеров проверяемой схемы, и тестовых наборов комбинационной части схемы, прикладываемых к проверяемой схеме по окончании сканирования. Минимизация объема ПЗУ для хранения ДТ осуществляется путем использования методов разбиения множества тестов на подмножества, комбинации которых позволяют сократить объем памяти. При этом усложняется структура схемы управления процессом диагностирования, что не учитывается в большинстве известных работ [6, 7].

В настоящей работе предложен новый метод построения генераторов тестов для последовательностных схем сканирования, основанный на использовании генераторов гамильтоновых циклов на СРЛОС и простейших преобразователей тестовых векторов, формирующих заданное множество ДТ.

Основная идея предложенного подхода демонстрируется на примере стандартной схемы S27 (ISCAS-89), которая используется в [6] для построения генератора тестов на основе ПЗУ. Предполагается, что проверка исправности схемы осуществляется в два этапа. На первом – подается множество тестов, формируемых генератором псевдослучайных последовательностей. На втором этапе формируется множество тестов с помощью ПЗУ, которые покрывают неисправности, не обнаруживаемые тестами на первом этапе.

Множество ДТ для схемы S27 представлено в таблице. Множество $S = \{011,000,110\}$ представляет последовательность сканируемых данных, а множество $Z = \{0000,1101,1010,0100,0111,1001\}$ – последовательность тестовых наборов комбинационной части схемы.

Таблица

Множество тестов схемы S27

n	s_1	s_2	s_3	z_1	z_2	z_3	z_4
1	0	1	1	0	0	0	0
2	0	1	1	1	1	0	1
3	0	0	0	1	0	1	0
4	1	1	0	0	1	0	0
5	1	1	0	0	1	1	1
6	1	1	0	1	0	0	1

Из табл. следует, что необходимо сформировать шесть проверяющих тестов, состоящих из различных комбинаций множеств двоичных векторов S и Z . Пусть $z_i, i = \overline{1,4}$ – i -й разряд двоичного вектора из множества Z . Тогда множество трехразрядных векторов $\{z_1, z_2, z_3\} \subseteq Z$ представляется последовательностью $\{000, 100, 110, 011, 101, 010\}$, которая в соответствии с алгоритмом реализации гамильтоновых циклов в СР [2] формируется в трех-разрядном СР с функцией обратной связи $f = \overline{z_2} \oplus z_3$ (рис. 2).

Анализ сканируемых тестовых векторов показывает, что в разряде s_1 равное число 1 и 0 можно сформировать на триггере со счетным входом по mod2, как показано на рис. 2. Далее формируются все тестовые наборы в разрядах s_2, s_3 и z_4 в соответствии с исходной таблицей.

На следующем шаге решается задача нахождения минимальной комбинационной схемы – формирователя тестовых разрядов s_2, s_3 и z_4 , входами которой могут быть выходы триггеров (s_1, z_2, z_3) или (z_1, z_2, z_3). Минимальное решение представляется в виде (рис. 2): $S_2 = \overline{z_2} \cdot z_3$; $S_3 = \overline{s_1 + z_3}$; $Z_4 = z_1 \oplus z_3$.

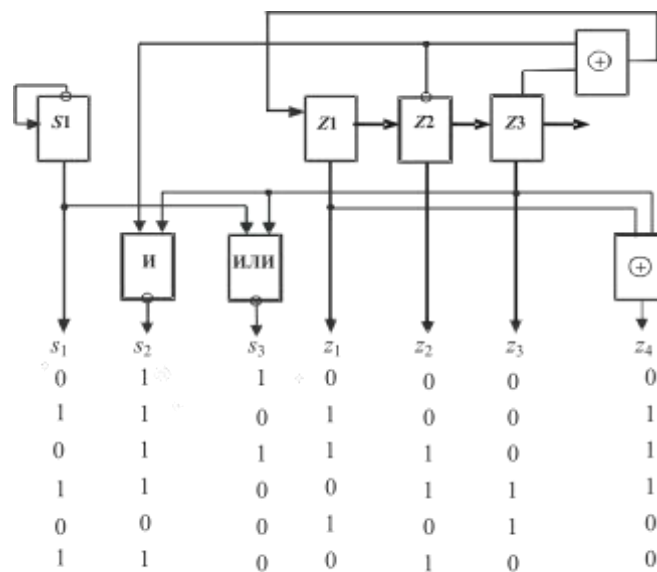


Рис. 2. Генератор тестов для эталонной схемы ISCAS-89 S27

Для оценки аппаратных затрат на реализацию встроенных схем диагностирование воспользуемся оценочной методикой Synopsys Inc. Для КМОП технологии производства интегрированных схем (0,6 мкм, 2-х слойная металлизированная подложка, 5V питание) [2]. В качестве единичного вентиля эквивалента (в.э.) используется 2-входовой И-НЕ (ИЛИ-НЕ) элемент. Тогда затраты на реализацию следующих элементов составляют: инвертор – 0,7 в.э.; 2-входовой И (ИЛИ) вентиль – 1,3 в.э.; мультиплексор 2 на 1 – 1,7 в.э.; D-триггер – 3,6 в.э.; XOR – 2,0 в.э.

С учетом того, что триггеры s_1, z_1, z_2, z_3 в генераторе ДТ рис. 2 являются элементами входных регистров СОК в соответствии со стандартом проектирования 1149.1, то дополнительные аппаратные затраты на реализацию генератора тестов составляют 6,0 в.э., а длина тестовой последовательности равна 6. Управление генерацией тестов сводится к нулевой начальной установке триггеров генератора и подаче 6-ти тактовых импульсов.

Для схемы S27 в соответствии с методом генерации тестов с использованием ПЗУ, встроенных на кристалл [6], минимальное решение получается в виде: $\Psi_1 = \{0,1\}$, $\Psi_2 = \{10,11\}$ и

$\Sigma = \{(0000), (1010), (0100, 0111, 1001)\}$. Для хранения этих данных требуется 26 бит памяти. Число тестов, которые последовательно формируются в 7-ми разрядном регистре равно 12. Формирование каждого теста осуществляется путем считывания данных из трех модулей памяти с помощью адресных счетчиков и пересылки данных в соответствующие разряды накопительного регистра. Других сведений об аппаратно-временных затратах на реализацию генератора в работе [6] не приводится. Очевидно, что в методе построения генераторов тестов на ПЗУ в основные затраты на реализацию процедуры тестирования необходимо включать затраты на реализацию встроенных средств управления тестированием, которые намного превышают затраты на реализацию генераторов тестов методом, предложенным в настоящей работе.

Выводы. В статье предложен метод синтеза генераторов детерминированных тестов, основанный на разбиении исходного множества ДТ на подмножества двоичных векторов, для которых существует гамильтонов цикл в графе СР и синтеза минимальной комбинационной схемы преобразователя для остальных разрядов тестовых наборов. Показано преимущество предложенного метода по сравнению с существующими.

Список литературы: 1. *Дербунович Л.В., Темников И.Н., Татаренко Д.А.* Генераторы тестов для дискретных устройств с самотестированием // Информационно-управляющие системы на железнодорожном транспорте. – 2004. – №1. – С. 42–46. 2. *Derbunovich L., Berezna M., Ryzhykova M., Tatarenko D.* Pseudoexhaustive tpg based on nonlinear feedback shift registers // Информационно-управляющие системы на железнодорожном транспорте. – 2005. – № 5. – С. 54–59. 3. *Pradhan D.K., Chatterjee M.* GLFSR – A new pattern generator for built-in-self-test // IEEE Trans. Computer-Aided Design. – 1999. – Vol. 18. – № 2. – P. 238–247. 4. *Chatterjee M., Pradhan D.K.* A BIST pattern generator design for near-perfect fault coverage // IEEE Trans of Computers. – 2003. – Vol. 52. – № 12. – P.1543–1557. 5. *Iyengar V., Chakrabarty K., Murray B.T.* Built-in-Self-Testing of sequential circuits using precomputed test sets. Proc.VLSI Test Symp. – 1998. – P. 418–422. 6. *Pomeranz I., Reddy S.M.* A storage-Based Built-in-Self-Test Pattern Generation Method for Scan Circuits Based on Partitioning and Reduction of a Precomputed Test Set // IEEE Trans of Computers. – 2002. – Vol. 51. – № 11. – P. 1282–1293. 7. *Pomeranz I., Reddy S.M.* Procedure for static Compaction of test sequences for synchronous sequential circuits // IEEE Trans of Computers. – 2000. – Vol. 49. – № 6. – P. 596–607. 8. *Дербунович Л.В., Клименко А.В., Татаренко Д.А.*, Тестирование последовательностных схем встроенными генераторами детерминированных тестов. Весник НТУ «ХПИ» «Автоматика и приборостроение». – 2005. – Вып. 38. – С. 36–39. 9. *Дербунович Л.В., Горлов Ю.В., Татаренко Д.А.* Генераторы тестов на клеточных автоматах для схем встроенного самотестирования. Весник НТУ «ХПИ» «Автоматика и приборостроение». – 2003. – Вып. 21. – С. 59–62.

Поступила в редакцию 11.10.2005