

ІНФОРМАЦІЙНІ ТЕХНОЛОГІЇ ТА СИСТЕМИ
УПРАВЛІННЯ

УДК 681.518:004.312

ОЦЕНКА БЫСТРОДЕЙСТВИЯ ПОМЕХОУСТОЙЧИВОГО СЧЕТЧИКА
ФИБОНАЧЧИ В МИНИМАЛЬНЫХ КОДАХ

А. А. БОРИСЕНКО, С. М. МАЦЕНКО*, В. В. ГРИНЕНКО, О. В. БЕРЕЖНАЯ, С. А. ДЕГТЯР

СумГУ, Сумы, УКРАИНА
*email: s.matsenko@mail.ru

АННОТАЦИЯ У даній роботі проведена оцінка швидкодії Фібоначієвого лічильника імпульсів, що працює в мінімальних кодах Фібоначчі, отримані для нього відповідні вирази. Швидкодія лічильника Фібоначчі визначається максимальним часом перехідних процесів між двома сусідніми станами лічильника, зворотна величина до якого задає максимальну припустиму тактову частоту лічильника. Однак оцінка швидкодії такого лічильника Фібоначчі досі не була проведена. Тому в даній роботі ставиться завдання такої оцінки.
Ключові слова: фібоначієві числа, лічильник Фібоначчі, апаратурні витрати, швидкодія, завадостійкість.

АННОТАЦИЯ В данной работе произведена оценка быстродействия фибоначчиевого счетчика импульсов, работающего в минимальных кодах Фибоначчи, получены для него соответствующее выражение. Быстродействие счетчика Фибоначчи определяется максимальным временем переходных процессов между двумя соседними состояниями счетчика, обратная величина к которому задает максимальную допустимую тактовую частоту счетчика. Однако оценка быстродействия такого счетчика Фибоначчи до сих пор не была произведена. Поэтому в данной работе ставится задача такой оценки.
Ключевые слова: фибоначчиевые числа, счетчик Фибоначчи, аппаратурные затраты, быстродействие, помехоустойчивость.

PERFORMANCE EVALUATION OF NOISE IMMUNITY FIBONACCI COUNTER
IN MINIMALLY CODES

A. BORYSENKO, S. MATSENKO*, V. HRYNENKO, O. BEREZHNA, S. DEHTIAR

Sumy State University, Sumy, UKRAINE

ABSTRACT In this paper we evaluated the performance of the Fibonacci pulse counter running in minimal Fibonacci codes, obtained the corresponding expression. There is no transfers in the counter and it enhance its performance compared with other types of counters, which have transfers and more complex structure. Furthermore, in this counter homogeneous structure is observed, which Fibonacci counters requiring back additional circuitry to implement the transition from the minimum to the maximum mold form and vice versa. Speed of the Fibonacci counter is determined by the maximum time of transients between the two neighboring states of the counter, the return of value which specifies the maximum allowable clock frequency of the counter. However, the evaluation of the performance of such Fibonacci counter still was not done. Therefore, in this paper, the task of such estimates. The shown estimates imply that with increase in the number of bits of the Fibonacci counter signal delay in it increases that can be attributed to a lack of the counter structure. However, the absence of transfers in the counter compensates to some extent for this deficiency. Performance of this counter also will be higher relative to the Fibonacci counters constructed on scan and convolution circuits, as such circuits are absent in this counter. Novelty and relevance of the proposed in the article approach to solving this problem is to find the corresponding expressions for assessing Fibonacci counter largest time delay of signals in logic circuits of the device.
Keywords: Fibonacci numbers, Fibonacci counter, hardware resources, performance, error detection

Введение

Задача помехоустойчивого цифрового счета была поставлена давно и решалась она по-разному, но в ее основе, как правило, лежала

двоичная система счисления [1]. Появление более сложных системы счисления, чем двоичная, например—фибоначчиевой и биномиальной, которые по своей природе

является помехоустойчивыми, привело к созданию фибоначиевых и биномиальных помехоустойчивых устройств [2-7]. Они, кроме самостоятельного применения, также предназначались еще и для компьютеров Фибоначчи общего и специального назначения, как их важный компонент, что придает особое значение проектированию таких счетчиков [8-10].

Особенностью фибоначиевых чисел является то, что их весовые значения определяются числами Фибоначчи, которые идут в порядке 1, 2, 3, 5, 8, Поэтому, например, фибоначиевое число $010001 = 2 + 8 = 10$. Диапазон перебираемых чисел фибоначиевым счетчиком будет равен сумме весовых значений двух старших разрядов. В приведенном выше примере он равен $5 + 8 = 13$.

Цель работы

В работе [11] предлагался суммирующий помехоустойчивый счетчик Фибоначчи с алгоритмом счета, работающим в минимальных кодах и с простой однородной структурой. В данном счетчике отсутствуют переносы, что повышает его быстродействие по сравнению с другими типами счетчиков, содержащих переносы и обладающими более сложной структурой. Однако оценка быстродействия такого счетчика Фибоначчи до сих пор не была произведена. Поэтому в данной работе ставится задача такой оценки.

Помехоустойчивость фибоначиевых кодов

Для фибоначиевых кодов имеется принципиальное ограничение, запрещающее находится рядом двум и более единицам, то есть единицы в них должны обязательно разделяться нулями [2,3]. Нарушение этого запрета является признаком ошибки. Поэтому счетчики Фибоначчи по своей природе являются помехоустойчивыми, в чем и состоит их важное преимущество перед двоичными счетчиками.

Описание алгоритма работы счетчика

Смена фибоначиевых кодов в счетчике Фибоначчи определяется алгоритмом, в котором единица заносится в правый разряд, стоящих рядом двух младших нулевых разрядов числа [2]. При этом все последующие младшие разряды счетчика, идущие за этой

единицей, если они есть, обнуляются. Например, числом в счетчика, следующим после нулевого числа $0000 \dots 0$, будет $0000\dots 01$. В данном случае за 1 нет обнуления, так как она образует последний разряд фибоначиевого кода. За этим кодом следует $0000\dots 010$. В нем единица появляется в последнем справа нуле предыдущего кода перед 1, а следующая за этим нулем единица преобразуется в 0. И так идет до появления наибольших фибоначиевых кодов $0101 \dots 01$ при четном количестве разрядов в счетчике, или до $1010 \dots 10$ для нечетного количества разрядов в нем. Далее перебор фибоначиевых кодов заканчивается, так как в них отсутствуют два и более нуля, в младший разряд которых могла бы быть занесена единица. Затем при необходимости начинается счет сначала.

Описание работы счетчика

На рис. 1 показан пример суммирующего пятиразрядного счетчика Фибоначчи, который перебирает в возрастающем порядке все свои возможные состояния, соответствующие фибоначиевым кодам [2]. Например, для приведенной выше схемы счетчика такими кодами будут 00000 , 00001 , 00010 , 00100 , 00101 , 01000 , 01001 , 01010 , 10000 , 10001 , 10010 , 10100 , 10101 . Счет начинается с нулевого состояния 00000 и идет до наибольшего для данного счетчика фибоначиевого кода 10101 , соответствующего обычному десятичному числу 12.

Счетчик в своей структуре содержит: блок контроля 1, обнаруживающий ошибки в работе счетчика, блок диспозиций 2, обнуляющий триггеры счетчика после установки очередной 1, блок анализа 3 выходов триггеров счетчика, регистр 4 со схемами управления триггеров И для хранения состояний счетчика, блок установки нулей 5, предназначенный для установки в нулевое состояние триггеров счетчика (см. рис. 1).

В начале работы счетчика все триггеры регистра 4 находятся в нулевом состоянии $0000 \dots 00$. В результате на все управляющие схемы И регистра 4, за исключением схемы И нулевого разряда, подается запрещающий сигнал на занесение единиц в триггеры. Поэтому ни один триггер по тактовому сигналу не сможет установиться в 1 за исключением триггера младшего разряда, в котором нет предшествующего триггера, а значит и запрещающего сигнала с его прямого выхода. В

результате такого запрещения по первому тактовому импульсу счетчик из состояния 0000 ... 00 перейдет в состояние 0000 ... 01.

В соответствии с приведенным выше алгоритмом фибоначчиевого счета весь ряд триггеров просматривается справа налево по возрастанию разрядности, среди них находятся первые два соседних триггера, установленные в нуль.

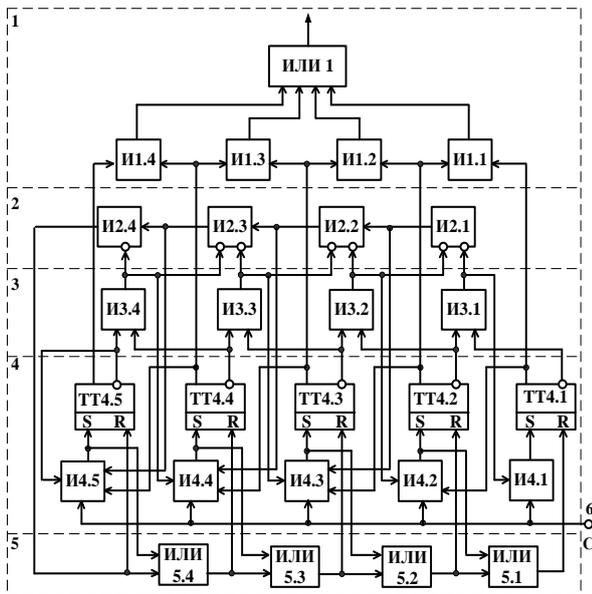


Рис. 1 – Счетчик Фибоначчи

Далее в младший триггер из этих двух по приходе тактового импульса должна занестись 1. Для решения указанной задачи нужно проверить состояния всех триггеров счетчика без исключения. Эту функцию выполняет блок анализа 3, который проверяет состояния триггеров двухвходовыми схемами И по парам. Те из них, которые имеют на своих двух входах единицы с инверсных выходов триггеров, находящихся в нулевых состояниях, дают разрешающие сигналы на управляющие схемы И регистра 4. В результате организовывается возможность перехода соответствующих им триггеров в единичное состояние. Однако таких сигналов, подающихся на управляющие схемы И регистра 4, может быть несколько, а в соответствие с алгоритмом только один триггер может установиться в 1, и соответственно только одна из управляющих схем может быть открыта.

Выбрать ее помогает блок диспозиций 6, содержащий последовательно включенные схемы И с тремя входами, два из которых через инверторы подключаются к выходам схем И блока анализа 3. В его задачу входит выработка

дополнительного открывающего сигнала на одну из управляющих схем И регистра 4. Она устанавливает младший триггер из двух, в стоящем справа ряде триггеров, предварительно установленных в нулевое состояние. Например, триггер из схемы рис.1 стоит в состоянии 10010. Тогда занесение 1 должно произойти в триггер второго разряда, и при этом в соответствие с алгоритмом должен произойти сброс всех остальных триггеров справа (младших разрядов) в 0. В результате осуществляется переход в состояние 10100.

Сброс триггеров по сигналу с блока диспозиций 3 в нулевое состояние осуществляет блок установки в нуль 5. В его задачу входит после установления единичного состояния в одном из триггеров регистра 1, стоящего ранее в нуле, обнуление всех младших по отношению к нему триггеров. Его работа с очевидностью видна из рис.1. Более подробно работа счетчика рассмотрена в работе [11].

Оценка быстродействия счетчика

Быстродействие счетчика Фибоначчи (см. рис. 1), как, впрочем, и счетчика любого другого типа, определяется максимальным временем переходных процессов между двумя соседними состояниями счетчика, обратная величина к которому задает максимальную допустимую тактовую частоту счетчика.

Только при наличии тактовой частоты не большей максимально допустимой гарантируется надежная работа счетчика без сбоев, хотя для правильной работы счетчика имеет значение также еще и время действия тактового импульса. Его длительность должна быть не меньше длительности переходных процессов, необходимых для установки всех триггеров счетчика в требуемое состояние.

Из схемы счетчика Фибоначчи, представленного на рис. 1, и описания ее работы с очевидностью следует, что наибольшее время переходных процессов будет в случае, когда сигнал установки счетчика в новое состояние последовательно пройдет все схемы И блока диспозиций 6, схему И и все схемы ИЛИ блока установки нуля 5.

Распространение сигнала по такому длинному пути будет только в том случае, когда будет наблюдаться переход счетчика из состояния с наибольшим числовым значением в нулевое состояние. В рассматриваемом случае для счетчика Фибоначчи это будет

переход из состояния 1010...10 или 0101 ... 01 в 0000...00, так как только в этом случае будет наблюдаться переход всех триггеров счетчика, стоящих в единичном состоянии, в нулевые состояния.

Время работы счетчика разделим на два периода. Первый определяется суммарным временем установки триггеров второй ступени регистра 4 в требуемые состояния и временем распространения сигналов в логических схемах И, НЕ блоков анализа 3 и диспозиций 2 счетчика после исчезновения тактового импульса. Второй период определяется временем распространения сигналов в блоке установки нуля 5 и временем изменения состояний триггеров первой ступени во время действия тактового импульса. Это время определяет минимально допустимую длительность тактовых импульсов. В сумме эти периоды определяют время перехода счетчика из одного состояния в другое, а значит, определяют максимальную тактовую частоту.

Рассмотрим задержку сигнала, которая возникает при переходе счетчика Фибоначчи из последнего состояния 1010...10 или 0101 ... 01, соответствующего его максимальному числу, в исходное (нулевое) состояние 0000...00. При нахождении счетчика в состоянии 1010...10 или 0101 ... 01 с его инверсных выходов снимаются нулевые сигналы, которые запирают все схемы И блока анализа 3. Это происходит потому, что инверсный выход каждого триггера регистра 4 связан со вторым входом схемы И одноименного разряда и одновременно с первым входом схемы И соседнего старшего разряда. Поэтому на выходе схем И блока анализа 3 одновременно появляются нулевые сигналы, которые через инверторы, стоящие на первых входах схем И блока диспозиций 2, подаются в виде единичных разрешающих сигналов на эти входы и одновременно на вторые инверсные входы схем И предшествующих разрядов данного блока. В результате все схемы И блока диспозиций 2 оказываются открытыми. Поэтому подготовительный сигнал для установки триггеров в ноль с крайней справа схемы И свободно проходит через все схемы И этого блока и дает разрешение на открытие входной схемы И блока установки нуля 5.

Очевидно, что при нахождении счетчика в состояниях 1010...10 или 0101 ... 01 суммарное время задержки сигнала в блоке диспозиций 6 будет равно сумме задержек в логических схемах И. Его значение равно $(n-1)\tau_u$. При этом время τ_u представляет собой время задержки

элементом И управляющего сигнала. Суммарное время задержки является максимальным, так как при любом другом состоянии счетчика сигнал от младшего разряда распространяется через меньшее число схем И в блоке диспозиций 2. Например, если счетчик перешел в состояние 0000...10 из состояния 0000 ... 00, то суммарная задержка сигнала с выходов младших двух триггеров будет состоять из суммы двух задержек - задержки сигнала τ_u на первой схеме И блока анализа 3 и задержки $\tau_{не}$ на инверторе первой схеме И блока диспозиций 2.

Исходя из вышесказанного максимальная задержка сигнала после установления счетчика в конечное состояние 1010...10 или 0101 ... 01

$$t_{\max} = (n-1)\tau_u + \tau_u + \tau_{не} = n\tau_u + \tau_{не} \quad (1)$$

Из приведенного равенства с очевидностью следует, что задержка сигнала установки состояния счетчика линейно зависит от числа n разрядов счетчика, и с его ростом только увеличивается.

Однако к этому времени следует добавить время переписи состояний из основных триггеров в дополнительные триггеры в двухступенчатых триггерах RS-типа [6], из которых состоит регистр 4. Задержка сигнала в двухступенчатом RS-триггере (см. рис. 2) состоит из суммы двух задержек в первой и второй ступени.

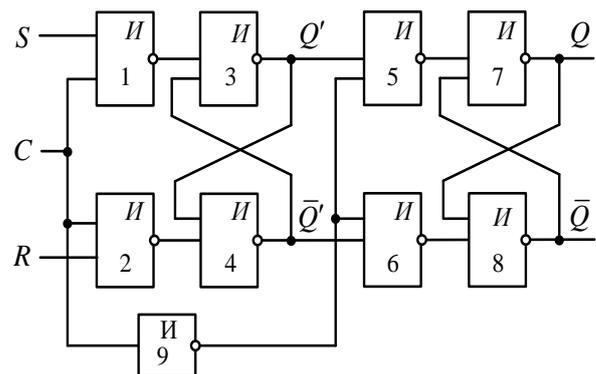


Рис. 2 – Двухступенчатый RS-триггер

Задержка в первой ступени триггера равна $2\tau_u + 2\tau_{не}$, а во второй - $3\tau_u + 3\tau_{не}$. Соответственно задержка триггера во время его переключения $\tau_{mp} = 5\tau_u + 5\tau_{не}$.

Тогда максимальное время задержки сигнала в счетчике Фибоначчи в первом периоде:

$$t_{\max} = (n-1)\tau_u + \tau_u + \tau_{не} = n\tau_u + \tau_{не} + 3\tau_u + 3\tau_{не} = (n+3)\tau_u + 4\tau_{не} \quad (2)$$

Появление единичных сигналов, поступающих с последней слева схемы И блока диспозиций 2 и с прямого выхода триггера старшего разряда регистра 4, на схеме И блока обнуления 5 дает возможность обнуления счетчика поступающим тактовым импульсом. Очевидно, что его поступление возможно только после затухания всех переходных процессов в счетчике, вызванных предыдущим тактом.

Появление единичных сигналов, поступающих с последней слева схемы И блока диспозиций 2 и с прямого выхода триггера старшего разряда регистра 4, на схеме И блока обнуления 5 дает возможность обнуления счетчика поступающим тактовым импульсом. Длительность тактового импульса определяется суммой времени переходных процессов в $n-1$ последовательно включенных логических элементах ИЛИ и одной схемы И блока установки нуля 5. Если считать, что время задержки в схемах ИЛИ и схемах И одинаково, то время задержки в блоке установки в нуль будет равно величине $n\tau_u$. Так как установка триггеров регистра 1 происходит параллельно, то к этому времени следует добавить еще время $2\tau_u + 2\tau_{не}$ установки триггера первой ступени в нуль. Соответственно общее время установки триггеров первой ступени регистра 4 в нулевое состояние будет равно $n\tau_u + 2\tau_u + 2\tau_{не}$. Такой же должна быть и минимально допустимая длительность тактового импульса:

$$t_{\min} = n\tau_u + 2\tau_u + 2\tau_{не} = (n+2)\tau_u + 2\tau_{не} \quad (3)$$

Общее же минимально допустимое время между двумя тактовыми импульсами (период):

$$T = t_{\max} + t_{\min} = (n+3)\tau_u + 4\tau_{не} + (n+2)\tau_u + 2\tau_{не} = (4) \\ = 2n\tau_u + 5\tau_u + 6\tau_{не} = (2n+5)\tau_u + 6\tau_{не}$$

Если же считать, что время задержки в инверторе соответствует времени задержек в логических элементах ИЛИ, И, то получим, что период появления тактовых импульсов:

$$T = t_{\max} + t_{\min} = (2n+5)\tau_u + 6\tau_{не} = (2n+11)\tau_u \quad (5)$$

Из приведенной формулы следует, что с увеличением числа разрядов счетчика Фибоначчи минимально допустимый период импульсов линейно увеличивается, что говорит о снижении быстродействия счетчика. Однако это снижение происходит исключительно за счет задержек логических схем счетчика, которое обычно очень малое. В обычных же двоичных счетчиках задержка сигналов происходит еще и за счет наличия переносов в его старшие разряды, что в счетчике Фибоначчи исключается. Поэтому быстродействие предлагаемой схемы счетчика Фибоначчи будет значительно выше по сравнению с двоичными счетными схемами. Если же учесть еще и то, что данный счетчик способен без особых дополнительных затрат обнаруживать ошибки в своей работе, то приходим к выводу о перспективности фибоначчиевого счета по данной схеме как с точки зрения быстродействия, так и помехоустойчивости.

Быстродействие данного счетчика будет выше и по отношению к счетчикам Фибоначчи, построенным на схемах свертки и развертки, так как такие схемы в данном счетчике отсутствуют. Кроме того, в данном счетчике наблюдается однородная структура, чего лишены счетчики Фибоначчи, требующие дополнительных схем на реализацию переходов от минимальной формы к максимальной форме и обратно.

Выводы

В данной работе были получены выражения, позволяющие оценить быстродействие счетчика, работающего только в минимальных кодах Фибоначчи, без перехода к максимальной форме и обратно. Из приведенных оценок следует, что с увеличением числа разрядов счетчика Фибоначчи задержки сигналов в нем увеличиваются, что можно отнести к недостатку данной структуры счетчика. Однако отсутствие переносов в счетчике в определенной мере компенсирует этот недостаток. Кроме того, его структура отличается однородностью и простотой, что упрощает его реализацию и повышает надежность работы.

Список литературы

References

1. Хетагуров Я. А. Повышение надежности цифровых устройств методами избыточного кодирования / Я. А. Хетагуров, Ю. П. Руднев. – М.: Энергия. – 1974. – 271 с.
2. Stakhov A. P. Theory of Binet formulas for Fibonacci and Lucas p-numbers / A. P. Stakhov, B. N. Rozin // Chaos, Solitons & Fractals. – 2006. – № 5. – P. 1162–1177.
3. Stakhov A. P. The golden section in the measurement theory / A. P. Stakhov // Computers & Mathematics with Applications. – 1989. – № 4. – P. 613–638.
4. Borisenko A. A. Information system efficiency assessment / A. A. Borisenko, A. N. Skakovska, O. E. Goryachev // Actual Problems of Economics. – 2014. – P. 480–483.
5. Borisenko A. A. Description and Applications of Binomial Numeral Systems / A. A. Borisenko, V. V. Kalashnikov, N. I. Kalashnykova, D. V. Gutenko // International Journal of Innovative Computing, Information and Control. – 2014. – № 1. – P. 57–66.
6. Borisenko A. A. A new approach to the classification of positional numeral systems / A. A. Borisenko, V.V. Kalashnikov, T. A. Protasova, N.I. Kalashnykova // Frontiers in Artificial Intelligence and Applications. – 2014. – P. 441–450.
7. Borisenko A. A. Topological synthesis of basic information networks / A. A. Borisenko, L. B. Petryshyn // The methodical and instrumental aspects of production engineering. – 2014. – P. 208–222.
8. Stakhov A. P. Brousentsov's ternary principle, Bergman's number system and ternary mirror-symmetrical arithmetic / A. P. Stakhov // The Computer Journal: Oxford University Press. – 2002. – P. 221–236.
9. Stakhov A. P. The Generalized Principle of the Golden Section and its applications in mathematics, science, and engineering / A. P. Stakhov // Chaos, Solitons & Fractals. – 2005. – № 2. – P. 263–289.
10. Monteiro P. Minimal and maximal Fibonacci Representations: Boolean Generation / P. Monteiro, R. Newcomb // The Fibonacci Quarterly. – 1976. – Vol. 14 – № 1. – P. 613–638.
11. А. А. Борисенко Об одном способе построения счетчиков Фибоначчи / А. А. Борисенко, А. П. Стахов, С. М. Маценко, В. В. Сиряченко // Вісник Сумського державного університету. Серія Технічні науки. — 2012. — №. 3. — С. 165-170.
1. Hetagurov Ya. A., Rudnev Yu. P. Povyishenie nadezhnosti tsifrovyyih ustroystv metodami izbytochnogo kodirovaniya. M.: Energiya, 1974, 271.
2. Stakhov A. P., Rozin B. N. Theory of Binet formulas for Fibonacci and Lucas p-numbers. Chaos, Solitons & Fractals, 2006, 5, 1162–1177.
3. Stakhov A. P. The golden section in the measurement theory. Computers & Mathematics with Applications, 1989, 4, 613–638.
4. Borisenko A. A., Skakovska A. N., Goryachev O. E. Information system efficiency assessment. Actual Problems of Economics, 2014, 480–483.
5. Borisenko A. A., Kalashnikov V. V., Kalashnykova N. I., Gutenko D. V. Description and Applications of Binomial Numeral. International Journal of Innovative Computing, Information and Control, 2014, 1, 57–66.
6. Borisenko A. A., Kalashnikov V.V., Protasova T. A., Kalashnykova N.I. A new approach to the classification of positional numeral systems. Frontiers in Artificial Intelligence and Applications, 2014, 441–450.
7. Borisenko A. A., Petryshyn L. B. Topological synthesis of basic information networks. The methodical and instrumental aspects of production engineering, 2014, 208–222.
8. Stakhov A. P. Brousentsov's ternary principle, Bergman's number system and ternary mirror-symmetrical arithmetic. The Computer Journal: Oxford University Press, 2002, 221–236.
9. Stakhov A. P. The Generalized Principle of the Golden Section and its applications in mathematics, science, and engineering. Chaos, Solitons & Fractals, 2005, 2, 263–289.
10. Monteiro P., Newcomb R. Minimal and maximal Fibonacci Representations: Boolean Generation, 1976, 1, 613–638.
11. A. A. Borisenko, Stahov A. P., Matsenko S. M., Siryachenko V. V. Ob odnom sposobe postroeniya schetchikov. Visnik Sumskogo derzhavnogo unIversitetu. SerIya TehnIchnI nauki, 2012, 3, 165-170.

Надійшла (received) 08.12.2014