



УКРАЇНА

(19) UA (11) 64601 (13) U

(51) МПК (2011.01)

G06F 11/00

G06F 11/273 (2006.01)

ДЕРЖАВНА СЛУЖБА  
ІНТЕЛЕКТУАЛЬНОЇ  
ВЛАСНОСТІ  
УКРАЇНИОПИС  
ДО ПАТЕНТУ  
НА КОРИСНУ МОДЕЛЬвидається під  
відповідальність  
власника  
патенту

(54) НЕЛІНІЙНИЙ ПАРАЛЕЛЬНИЙ СИГНАТУРНИЙ АНАЛІЗАТОР

1

2

(21) u201105022

(22) 20.04.2011

(24) 10.11.2011

(46) 10.11.2011, Бюл.№ 21, 2011 р.

(72) РИСОВАНИЙ ОЛЕКСАНДР МИКОЛАЙОВИЧ,  
ГОГОВ ВАЛЕРІЙ ВАСИЛЬОВИЧ, КОЛОМІЙЦЕВ  
ОЛЕКСІЙ ВОЛОДИМИРОВИЧ, ЛИТОВСЬКИЙ ВІ-  
ТАЛІЙ ДМИТРОВИЧ, ПРИХОДЬКО ВОЛОДИМИР  
МУСІЙОВИЧ, ШОСТАК АНАТОЛІЙ ВАСИЛЬОВИЧ,  
КОЗИНА ОЛЬГА АНДРІЇВНА, НЕЖУРИНА ІРИНА  
ІГОРІВНА, НАЗАРОВЕЦЬ ДЕНИС ВАСИЛЬОВИЧ,  
ДЕМЕДЕЦЬКИЙ ОЛЕКСІЙ ОЛЕГОВИЧ(73) НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ  
"ХАРКІВСЬКИЙ ПОЛІТЕХНІЧНИЙ ІНСТИТУТ"(57) Нелінійний паралельний сигнатурний аналіза-  
тор, який містить інформаційні входи, групи блоків  
дешифраторів, групи блоків перемноження на два  
за модулем три, групу блоків суматорів за моду-

лем три та групу дворозрядних регістрів при цьому кожний інформаційний вхід сигнатурного аналізатора підключений до відповідного дешифратора, виходи схем множення з'єднані з відповідними суматорами за модулем три, перші виходи яких підключені до перших входів дворозрядних регістрів, а другі виходи суматорів за модулем три підключені до других входів дворозрядних регістрів, а треті входи дворозрядних регістрів підключені до схеми синхронізації, який **відрізняється** тим, що в нього введені входи суматорів за модулем три, які дозволяють представити сигнал парою двійкових цифр, виходи відповідних дешифраторів парами підключаються до відповідних схем множення на два за модулем три у відповідності з виглядом матриці станів  $N = |h_1 h_2 \dots h_n|$ , де  $h_1 = |b_0 0 \dots 0|$ ,  $b_0$  - вільний член утворюючого поліному.

Корисна модель належить до обчислювальної техніки та може використовуватися у системах діагностування цифрових об'єктів.

Відомий сигнатурний аналізатор [1], який складається з інформаційного входу, синхровходу, шифратора, блока додавання за модулем три та дворозрядних регістрів. Недоліком цього пристрою є те, що він призначений для послідовної обробки цифрового коду.

Найбільш близьким до того, що пропонується технічним рішенням, вибраним як прототип, є пристрій [2], який складається з інформаційних входів, групи блоків дешифраторів, групи логічних схем АБО, групи блоків перемноження на два за модулем три, групу блоків суматорів за модулем три та групу дворозрядних регістрів. Недоліком цього пристрою є надмірна кількість логічних елементів.

В основу корисної моделі поставлено задачу спрощення технічної реалізації.

Поставлена задача вирішується за рахунок того, що у відомий пристрій-прототип [2], який містить інформаційні входи, групи блоків дешифраторів, групи блоків перемноження на два за модулем три, групу блоків суматорів за модулем три та гру-

пу дворозрядних регістрів додатково введені входи суматорів за модулем три, які дозволяють представити сигнал парою двійкових цифр, при цьому інформаційні сигнали підключаються до відповідних дешифраторів, виходи яких парами підключаються до відповідних схем множення на два за модулем три у відповідності з виглядом матриці станів  $N = |h_1 h_2 \dots h_n|$  де  $h_1 = |b_0 0 \dots 0|$ ,  $b_0$  - вільний член утворюючого поліному, виходи схем множення з'єднуються з відповідними суматорами за модулем три, перші виходи яких підключені до перших входів дворозрядних регістрів, а другі виходи суматорів за модулем три підключаються до других входів дворозрядних регістрів, до третіх входів дворозрядних суматорів підключається сигнал синхронізації схеми.

Позитивним технічним результатом є те, що зменшується кількість логічних елементів, а пристрій дозволяє отримувати сигнатуру паралельного потоку цифрового коду з одержанням результату, який дорівнює результату, одержаному на одноканальному сигнатурному аналізаторі (ОСА).

(19) UA (11) 64601 (13) U

Це дає змогу значно прискорити процес отримання сигнатури.

При пошуку в патентній та науково-технічній літературі не виявлено об'єктів з ознаками, подібними до відмінних ознак технічного рішення, що заявляється, на підставі чого можна зробити висновок про відповідність його критерію "суттєві відмінності".

На Фіг.1 наведена структурна схема пристрою в загальному вигляді. Пристрій включає: інформаційні входи 1; групу блоків дешифраторів 2<sub>1-2<sub>n</sub></sub>; групу блоків 3<sub>1-3<sub>n</sub></sub> перемноження на два за модулем три; групу блоків 4<sub>1-4<sub>r</sub></sub> суматорів за модулем три та групу дворозрядних регістрів 5<sub>1-5<sub>r</sub></sub>.

Сигнатурний аналізатор є схемою, що здійснює ділення вхідної послідовності 1, коефіцієнти а<sub>r</sub> якої належать множині {0, 1, 2}, на утворюючий поліном  $P(x) = b_r x^r \oplus_3 b_{r-1} x^{r-1} \oplus_3 \dots \oplus_3 b_1 x \oplus_3 b_0$ , на підставі якого побудована матриця станів, а вже за її виглядом здійснюється підключення пар сигналів з дешифраторів 2<sub>1-2<sub>n</sub></sub> до блоків множення коефіцієнтів 3<sub>1-3<sub>n</sub></sub>.

Пристрій працює наступним чином. В початковому стані в регістрах записано код 0...0 (ланцюги встановлення в початковий стан не показані).

1	0	0	1	1	0	1	2	1	1	0	0	2	1	0	2	0	1	2	2
0	1	0	0	1	1	0	1	2	1	1	0	0	2	1	0	2	0	1	2
0	0	1	0	0	1	1	0	1	2	1	1	0	0	2	1	0	2	0	1
0	0	0	1	0	0	1	1	0	1	2	1	1	0	0	2	1	0	2	0
1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20

1	0	1	0	1	1	1	1	2	2	2	0	1	1	2	1	2	0	0	0
2	1	0	1	0	1	1	1	1	2	2	2	0	1	1	2	1	2	0	0
2	2	1	0	1	0	1	1	1	1	2	2	2	0	1	1	2	1	2	0
1	2	2	1	0	1	0	1	1	1	1	2	2	2	0	1	1	2	1	2
21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36	37	38	39	40

2	0	0	2	2	0	2	1	2	2	0	0	1	2	0	1	0	2	1	1
0	2	0	0	2	2	0	2	1	2	2	0	0	1	2	0	1	0	2	1
0	0	2	0	0	2	2	0	2	1	2	2	0	0	1	2	0	1	0	2
0	0	0	2	0	0	2	2	0	2	1	2	2	0	0	1	2	0	1	0
41	42	43	44	45	46	47	48	49	50	51	52	53	54	55	56	57	58	59	60

2	0	2	0	2	2	2	2	1	1	1	0	2	2	1	2	1	0	0	0
1	2	0	2	0	2	2	2	2	1	1	1	0	2	2	1	2	1	0	0
1	1	2	0	2	0	2	2	2	2	1	1	1	0	2	2	1	2	1	0
2	1	1	2	0	2	0	2	2	2	2	1	1	1	0	2	2	1	2	1
61	62	63	64	65	66	67	68	69	70	71	72	73	74	75	76	77	78	79	80

У блоках суматорів за модулем три відбувається додавання, а відповідні їм регістри зберігають цю інформацію, яка є сигнатурою.

На Фіг.2, як приклад, наведена схема дванадцятирозрядного аналізатора на основі утворюючого полінома  $P(x) = x^4 \oplus_3 x^3 \oplus_3 1$ . На суматор за модулем три 4<sub>1</sub> подається вхідна послідовність 1 з урахуванням ваги коефіцієнтів відповідно до першого рядка матриці станів при довжині вхідної послідовності n = 12. При цій довжині тільки 8-й розряд вхідної послідовності з дешифратора 2<sub>8</sub> необхідно помножити на два, що і здійснюється в

блоці 3<sub>1</sub>. На суматор за модулем три 4<sub>2</sub> подається вхідна послідовність, оброблена відповідно до другого рядка матриці станів при довжині вхідної послідовності n = 12. Для цього суматора необхідно помножити на два 9-й розряд вхідної послідовності з дешифратора 2<sub>9</sub>. Для решти регістрів необхідно провести аналогічні дії.

Входи	Виходи
0	00
1	01
x	10

Знаком x позначено третій (високий) стан.

Пари двійкових сигналів з дешифраторів подають на схеми множення коефіцієнтів відповідно до матриці станів. Матриця станів будується таким чином. На підставі вибраного утворюючого полінома з кінцевого поля Галуа GF(3) будується ОСА. У перший тригер першого регістра Pr1 записується 1, а в інші - всі нулі. Це перший стан регістра. Після цього послідовно проводяться зсуви попереднього стану та їх збереження. Зсуви відбуваються з урахуванням попереднього стану завдяки зворотним зв'язкам відповідно до ступенів утворюючого полінома через суматор за модулем 3. Таким чином, одержана матриця станів, яка, наприклад, для  $P(x) = x^4 \oplus_3 x^3 \oplus_3 1$  має вигляд:

сигнатурний аналізатор. Покажемо процес отримання сигнатур на наступному прикладі.

При подачі на вхід ОСА с  $P(x) = x^4 \oplus_3 x^3 \oplus_3 1$  вхідної послідовності, наприклад  $v(t)_{GF(3)} = 1020210120$  у кінцевому полі  $GF(3)$  одержимо сигнатуру

$$\text{sig}v(t)_{GF(3)} = v(t)_{\text{mod } 3} = \|0012\|.$$

Процес отримання цієї сигнатури для такої вхідної послідовності  $v(t)_{GF(3)}$  на ОСА наведено в табл.1

Таблиця 1

Pr1	0	1	0	2	1	0	0	0	2	2	0	1	0
Pr2	0	0	1	0	2	1	0	0	0	2	2	0	1
Pr3	0	0	0	1	0	2	1	0	0	0	2	2	0
Pr4	0	0	0	0	1	0	2	1	0	0	0	2	2
V(t = 1)	1	0	2	0	2	1	0	1	2	0	2	2	
№ такта	1	2	3	4	5	6	7	8	9	10	11	12	

$$\begin{aligned} \text{sig}V(t = 1) &= \sum^{\oplus_3} a_i |h_i|_{i=1+n} = \\ &= a_1|h_1| \oplus_3 a_2|h_2| \oplus_3 a_4|h_4| \oplus_3 a_5|h_5| \oplus_3 a_7|h_7| \oplus_3 a_8|h_8| \oplus_3 a_{10}|h_{10}| \oplus_3 a_{12}|h_{12}| = \|0102\|. \end{aligned}$$

Рівність сигнатур одноканального і паралельного сигнатурних аналізаторів свідчить про правильність одержаних сигнатур при одній і тій же вхідній послідовності.

Джерела інформації:

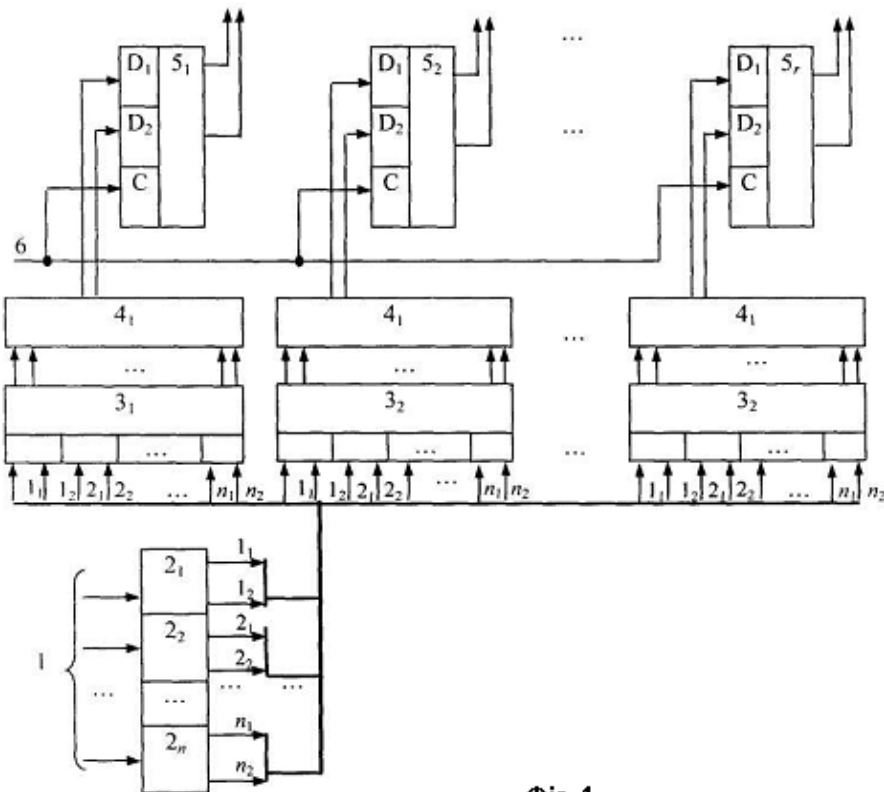
Процес отримання сигнатури  $\text{sig}v(t)$  на паралельному сигнатурному аналізаторі наведений у табл.2

Таблиця 2

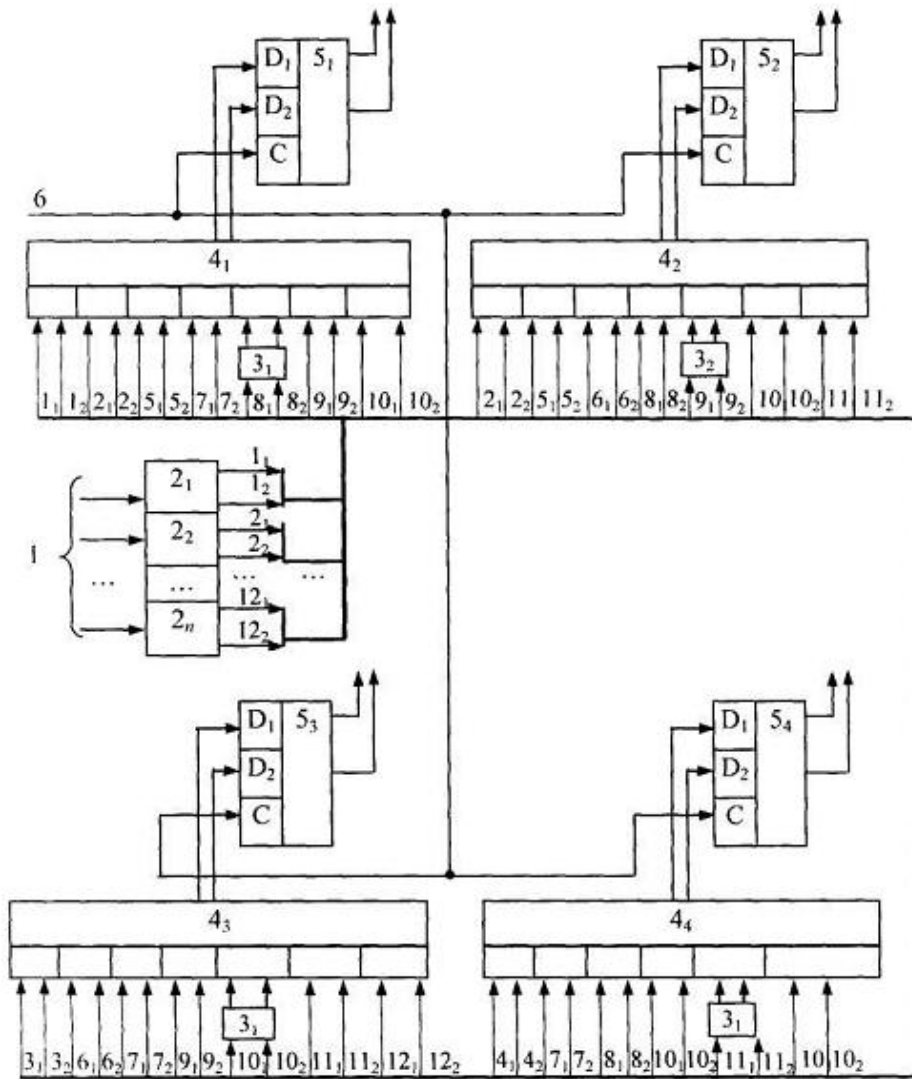
Матриця станів	1	0	0	1	1	0	1	2	1	1	0	0
	0	1	0	0	1	1	0	1	2	1	1	0
	0	0	1	0	0	1	1	0	1	2	1	1
	0	0	0	1	0	0	1	1	0	1	2	1
	$h_1$	$h_2$	$h_3$	$h_4$	$h_5$	$h_6$	$h_7$	$h_8$	$h_9$	$h_{10}$	$h_{11}$	$h_{12}$
V(t = 1)	2	2	0	2	1	0	1	2	0	2	0	1

Сигнатура вхідної послідовності  $V(t = 1)$  визначається, як:

1. Авт.св. СССР №1264180. 1986. Бюл. №38. Сигнатурный анализатор. Иванов М.А.
2. Патент України на винахід UA №85626, кл. G06F 11/00, G06F 11/273, 2009. (прототип).



Фиг. 1



Фиг. 2