



УКРАЇНА

(19) **UA** (11) **82804** (13) **U**
(51) МПК
G06F 17/14 (2006.01)

ДЕРЖАВНА СЛУЖБА
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ
УКРАЇНИ

(12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

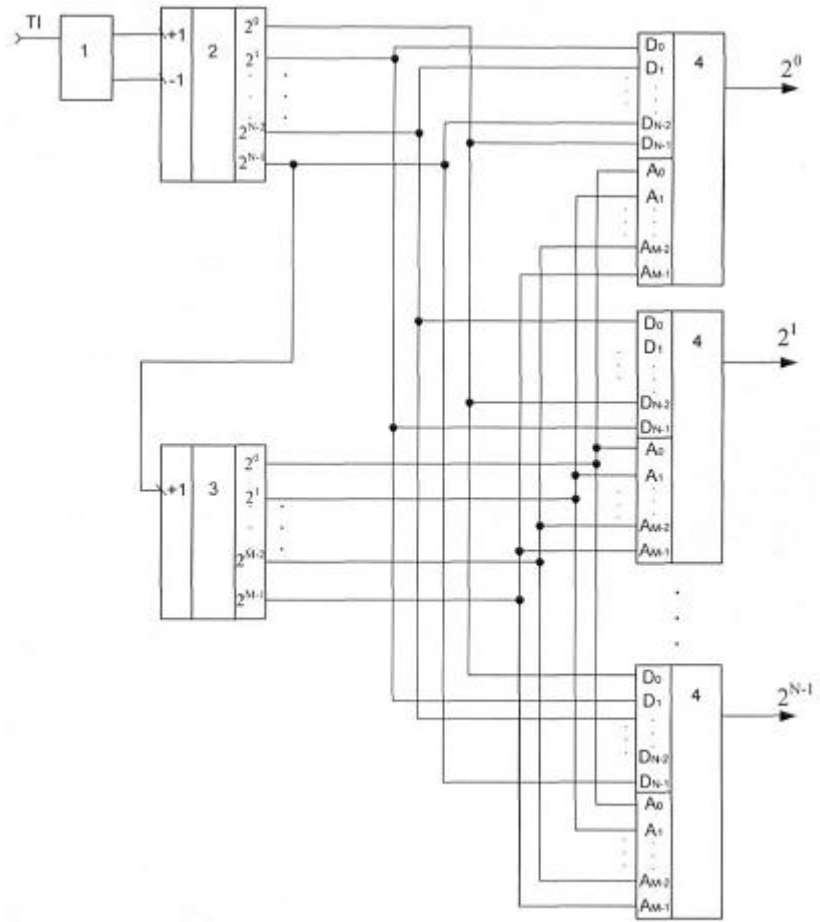
<p>(21) Номер заявки: u 2013 01931</p> <p>(22) Дата подання заявки: 18.02.2013</p> <p>(24) Дата, з якої є чинними права на корисну модель: 12.08.2013</p> <p>(46) Публікація відомостей про видачу патенту: 12.08.2013, Бюл.№ 15</p>	<p>(72) Винахідник(и): Івашко Андрій Володимірович (UA), Лунін Денис Олександрович (UA)</p> <p>(73) Власник(и): НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ "ХАРКІВСЬКИЙ ПОЛІТЕХНІЧНИЙ ІНСТИТУТ", вул. Фрунзе, 21, м. Харків, 61002 (UA)</p>
--	---

(54) ПРИСТРІЙ ДЛЯ ФОРМУВАННЯ АДРЕС ПРОЦЕСОРА ШВИДКОГО ПЕРЕТВОРЕННЯ ФУР'Є

(57) Реферат:

Пристрій для формування адрес процесора швидкого перетворення Фур'є (ШПФ) містить синхронізатор, реверсивний лічильник, лічильник шару і групу мультиплексорів. Виходи реверсивного лічильника підключені до сигнальних входів мультиплексорів у визначеному порядку. Синхронізатор містить дворозрядний лічильник, елемент 3-І і елемент 2-І, на вхід дворозрядного лічильника подаються тактові імпульси, інверсний нульовий розряд і прямий перший розряд виходу дворозрядного лічильника підключені до елемента 3-І, прямий вихід елемента 3-І є виходом синхронізатора (-1), інверсний вихід елемента 3-І сполучений з першим входом елемента 2-І, а на другий вхід елемента 2-І підключений вхід, на який подаються тактові імпульси, вихід елемента 2-І є виходом синхронізатора (+1), а виходи синхронізатора підключаються до входів реверсивного лічильника.

UA 82804 U



Фиг. 1

Корисна модель належить до обчислювальної техніки і може бути використана у складі процесора швидкого перетворення Фур'є (ШПФ) або швидкого перетворення в базисі інших ортогональних функцій, які використовуються в спектроаналізаторах, генераторах широкосмугового випадкового процесу, синтезаторах мовних сигналів і так далі.

5 Відомий пристрій для формування адрес, що реалізує алгоритм ШПФ [1], що містить вузол реконфігурації лічильника, вихід якого сполучений з входом лічильника, що управляє, вузол видачі адрес, перший інформаційний вхід якого сполучений з виходом лічильника, а вихід - з виходом пристрою, причому вхід вузла реконфігурації лічильника, перший і другий рахункові входи лічильника і перший вхід вузла видачі адрес, що управляє, сполучені відповідно з 10 першим, другим, третім і четвертим виходами блока, регістр і групу елементів АБО, при цьому вихід лічильника сполучений з інформаційним входом регістра і першим входом групи елементів АБО, вихід регістра і вихід групи елементів АБО сполучені відповідно з другим і третім інформаційними входами вузла видачі адрес, другої і третьої входи якого, що управляють, вхід регістра, що управляє, і другий вхід групи елементів АБО сполучені відповідно з п'ятим, 15 шостим, сьомим і першим входами пристрою.

Недоліком цього пристрою є складність його побудови і невисока швидкодія.

Найбільш близьким по технічній суті (прототип) є пристрій для формування адрес процесора ШПФ [2], що містить перший і другий реверсивні лічильники, групу елементів I, N (де N - розрядність) мультиплексорів, регістр, елемент I-НЕ, синхронізатор.

20 Недоліком цього пристрою є низька швидкодія, обумовлена недосконалістю блока управління.

Задача корисної моделі - спрощення і підвищення швидкодії пристрою.

Поставлена задача вирішується тим, що в пристрої, що містить синхронізатор, реверсивний лічильник, лічильник шару і групу мультиплексорів, при цьому виходи синхронізатора з'єднані з 25 тактовими входами реверсивного лічильника, виходи якого з'єднані з сигнальними входами групи мультиплексорів, у свою чергу старший розряд виходу реверсивного лічильника з'єднаний з тактовим входом лічильника шару, виходи якого з'єднані з входами, що управляють, групи мультиплексорів, виходи реверсивного лічильника підключені до сигнальних входів мультиплексорів в наступному порядку: нульовий розряд виходу реверсивного лічильника паралельно підключений до (N - 1 - i) сигнального входу i-мультиплексора, де i міняється від 0 до (N-1) (N - розмірність ШПФ), перший розряд виходу реверсивного лічильника паралельно підключений до нульового сигнального входу нульового мультиплексора, а так само до (N - i) 30 сигнального входу i-мультиплексора, де i міняється від 1 до (N - 1), аналогічно з циклічним зсувом на 1 підключаються наступні (N - 3) розряду виходу реверсивного лічильника, (N - 1) розряд виходу реверсивного лічильника паралельно підключений до (N - 2 - i) сигнального входу i-мультиплексора, де i міняється від 0 до (N - 2), а так само до (N - 1) сигнального входу (N - 1) - мультиплексора і до входу (+1) лічильника шару, а синхронізатор містить дворозрядний лічильник, елемент 3-1 і елемент 2-1, на вхід дворозрядного лічильника подаються тактові імпульси, інверсний нульовий розряд і прямий перший розряд виходу дворозрядного лічильника 40 підключені до елемента 3-1, прямий вихід елемента 3-1 є виходом синхронізатора (-1), інверсний вихід елемента 3-1 сполучений з першим входом елемента 2-1, а на другий вхід елемента 2-1 підключений вхід, на який подаються тактові імпульси, вихід елемента 2-1 є виходом синхронізатора (+1), а виходи синхронізатора підключаються до входів реверсивного лічильника.

45 На фіг. 1 приведена блок-схема пристрою; на фіг. 2 - функціональна схема синхронізатора; на фіг. 3 - приведений приклад порядку проходження розрядів адрес для ШПФ на 16 вхідних відліків.

Пристрій для формування адрес процесора ШПФ (фіг. 1) містить синхронізатор 1, реверсивний лічильник 2, лічильник шару 3 і групу мультиплексорів 4.

50 Синхронізатор (фіг. 2) містить лічильник 5, який має два виходи: нульовий - інверсний і перший - прямий, елемент 3I 6; який має два виходи - прямий і інверсний та елемент 2I 7.

Пристрій працює таким чином.

Відомо, що адреси пари операндів алгоритму ШПФ відрізняються значенням одного розряду, номер якого відповідає номеру шару алгоритму ШПФ, при цьому адрес першого 55 операнда містить логічний нуль в даному розряді, а адрес другого операнда - логічну одиницю. Якщо порівняти адреси алгоритму ШПФ з кодами, що виробляються лічильником, то неважко відмітити, що в кожному шарі алгоритму ШПФ адреси відрізняються від кодів лічильника тільки порядком проходження розрядів. Таким чином, якщо вибрати як молодший розряд вихід реверсивного лічильника 2, той розряд, в якому має місце різниця в парі адрес, то можна 60 згенерувати послідовність пар адрес, не застосовуючи додаткових сигналів управління.

Розглянемо приклад комутації вихідних розрядів реверсивного лічильника 2 для 16-ти вхідних відліків (фіг. 3). Для знаходження ШПФ від 16-ти відліків необхідно 4 етапи (шари). У кожному з цих шарів обчислюється 8 елементарних "метеликів". У свою чергу для обчислення кожного елементарного "метелика" необхідно згенерувати дві адреси операнда. Таким чином, при виконанні першого шару перетворення, необхідно комутувати виходи реверсивного лічильника 2 таким чином: нульовий розряд реверсивного лічильника 2 комутується на третій вихід пристрою, перший розряд - на нульовий вихід, другий розряд - на перший вихід і третій розряд на другий вихід. У другому шарі всі розряди зрушуються циклічно по напрямку зменшення номера виходу. У наступних шарах процес комутації повторюється відповідно до

приведеної таблиці (фіг. 3).
Для забезпечення роботи схеми з оперативним запам'ятовувальним пристроєм (ОЗП) слід дублювати пари адрес, що генеруються. Це необхідно для того, щоб на першому етапі генерації пари адрес проводилося прочитування з пам'яті пари операндів, які надходять на арифметичний пристрій. Після обробки в арифметичному пристрої ця пара операндів повинна бути поміщена в ОЗП по тих же адресах, тому необхідно повторно згенерувати пару адрес для запису в ОЗП. Це досягається тим, що тактові імпульси подаються на синхронізатор 1, який формує дві послідовності імпульсів, що подаються на входи реверсивного лічильника 2. На першому етапі від синхронізатора 1 подається пара імпульсів на вхід інкремент (+1) реверсивного лічильника 2, далі необхідно подати один імпульс на вхід декремент (-1) і один на вхід інкремент (+1) реверсивного лічильника 2, що забезпечує послідовне прочитування з ОЗП пари операндів, а далі запис пари операндів в ОЗП.

Для подачі на адресні входи групи мультиплексорів 4 значення номера шару служить лічильник шару 3, на тактовий вхід якого подається старший розряд виходу реверсивного лічильника 2. Тактовий вхід лічильника шару 3 спрацьовує по низькому рівню сигналу, що забезпечує перемикання сигнальних входів групи мультиплексорів 4 тільки тоді, коли відбудеться переповнювання реверсивного лічильника 2 і він скинеться в нуль.

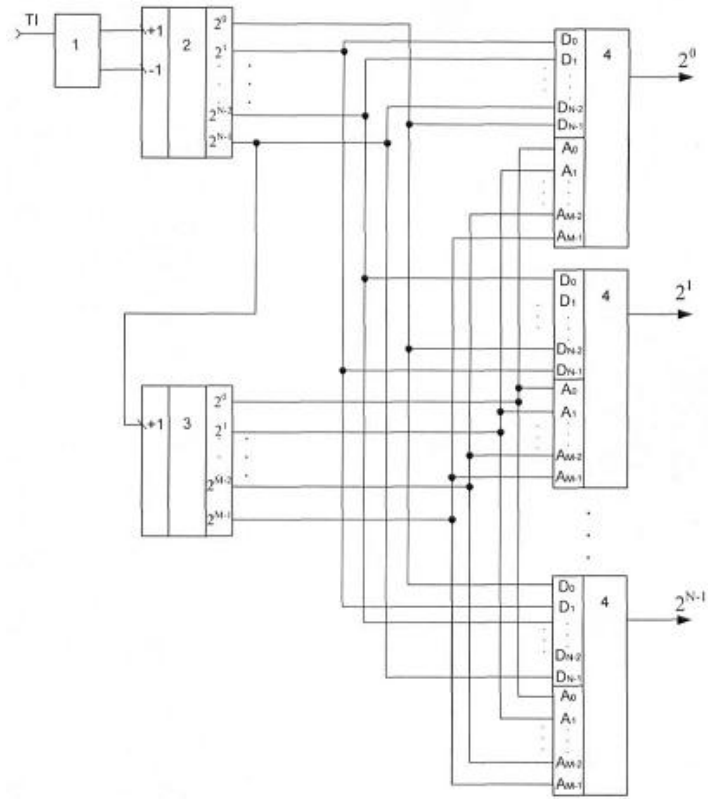
Таким чином, запропонована корисна модель (пристрій для формування адрес процесора швидкого перетворення Фур'є) дозволяє зменшити кількість устаткування за рахунок спрощення схеми синхронізатора 1 і зміни комутації виходів реверсивного лічильника 2 при збереженні всіх функціональних і технічних можливостей пристрою.

Джерела інформації:

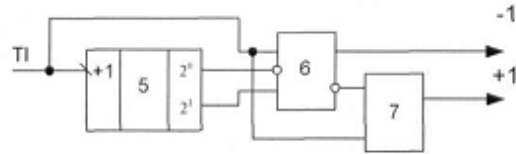
1. Авторське свідоцтво СРСР № 548863, кл. G06F15/332, 1976
2. Авторське свідоцтво СРСР № 999062, кл. G06F15/332, 1983

ФОРМУЛА КОРИСНОЇ МОДЕЛІ

Пристрій для формування адрес процесора швидкого перетворення Фур'є (ШПФ), що містить синхронізатор, реверсивний лічильник, лічильник шару і групи мультиплексорів, при цьому виходи синхронізатора з'єднані з тактовими входами реверсивного лічильника, виходи якого з'єднані з сигнальними входами групи мультиплексорів, у свою чергу старший розряд виходу реверсивного лічильника з'єднаний з тактовим входом лічильника шару, виходи якого з'єднані з входами, що управляють, групи мультиплексорів, який відрізняється тим, що виходи реверсивного лічильника підключені до сигнальних входів мультиплексорів в наступному порядку: нульовий розряд виходу реверсивного лічильника паралельно підключений до (N-1 - i) сигнального входу i-мультиплексора, де i міняється від 0 до (N - 1) (N - розмірність ШПФ), перший розряд виходу реверсивного лічильника паралельно підключений до нульового сигнального входу нульового мультиплексора, а так само до (N - i) сигнального входу i-мультиплексора, де i міняється від 1 до (N - 1), аналогічно з циклічним зсувом на 1 підключаються наступні (N - 3) розряду виходу реверсивного лічильника, (N - 1) розряд виходу реверсивного лічильника паралельно підключений до (N - 2 - i) сигнального входу i-мультиплексора, де i міняється від 0 до (N - 2), а так само до (N - 1) сигнального входу (N - 1)-мультиплексора і до входу (+1) лічильника шару, а синхронізатор містить дворозрядний лічильник, елемент 3-І і елемент 2-І, на вхід дворозрядного лічильника подаються тактові імпульси, інверсний нульовий розряд і прямиий перший розряд виходу дворозрядного лічильника підключені до елемента 3-І, прямиий вихід елемента 3-І є виходом синхронізатора (-1), інверсний вихід елемента 3-І сполучений з першим входом елемента 2-І, а на другий вхід елемента 2-І підключений вхід, на який подаються тактові імпульси, вихід елемента 2-І є виходом синхронізатора (+1), а виходи синхронізатора підключаються до входів реверсивного лічильника.



Фиг. 1



Фиг. 2

Шар	«Метелик»	адреса операнда 1					адреса операнда 2				
		№ виліску	2 ³	2 ²	2 ¹	2 ⁰		2 ³	2 ²	2 ¹	2 ⁰
1	1	0	0	0	0	0	8	1	0	0	0
	2	1	0	0	0	1	9	1	0	0	1
	3	2	0	0	1	0	10	1	0	1	0
	4	3	0	0	1	1	11	1	0	1	1
	5	4	0	1	0	0	12	1	1	0	0
	6	5	0	1	0	1	13	1	1	0	1
	7	6	0	1	1	0	14	1	1	1	0
	8	7	0	1	1	1	15	1	1	1	1
2	1	0	0	0	0	0	4	0	1	0	0
	2	8	1	0	0	0	12	1	1	0	0
	3	1	0	0	0	1	5	0	1	0	1
	4	9	1	0	0	1	13	1	1	0	1
	5	2	0	0	1	0	6	0	1	1	0
	6	10	1	0	1	0	14	1	1	1	0
	7	3	0	0	1	1	7	0	1	1	1
	8	11	1	0	1	1	15	1	1	1	1
3	1	0	0	0	0	0	2	0	0	1	0
	2	4	0	1	0	0	6	0	1	1	0
	3	8	1	0	0	0	10	1	0	1	0
	4	12	1	1	0	0	14	1	1	1	0
	5	1	0	0	0	1	3	0	0	1	1
	6	5	0	1	0	1	7	0	1	1	1
	7	9	1	0	0	1	11	1	0	1	1
	8	13	1	1	0	1	15	1	1	1	1
4	1	0	0	0	0	0	1	0	0	0	1
	2	2	0	0	1	0	3	0	0	1	1
	3	4	0	1	0	0	5	0	1	0	1
	4	6	0	1	1	0	7	0	1	1	1
	5	8	1	0	0	0	9	1	0	0	1
	6	10	1	0	1	0	11	1	0	1	1
	7	12	1	1	0	0	13	1	1	0	1
	8	14	1	1	1	0	15	1	1	1	1

Фиг. 3