

НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ
"ХАРКІВСЬКИЙ ПОЛІТЕХНІЧНИЙ ІНСТИТУТ"

Гладких Тетяна Валентинівна

УДК 681.3; 517.2

ВЕРИФІКАЦІЯ ДИНАМІЧНИХ ПАРАМЕТРІВ ЕЛЕКТРОННИХ
ПРИСТРОЇВ НА ОСНОВІ К-ЗНАЧНОГО МОДЕЛЮВАННЯ

Спеціальність 05.13.05 – елементи та пристрої обчислювальної техніки
та систем керування

Автореферат дисертації на здобуття наукового ступеня
кандидата технічних наук

Харків – 2007

Дисертація є рукопис.

Робота виконана на кафедрі "Обчислювальна техніка та програмування" в Національному технічному університеті "ХПІ" Міністерства освіти і науки України м. Харків

Науковий керівник : кандидат технічних наук, доцент,
Леонов Сергій Юрійович,
Національний технічний університет "Харківський політехнічний інститут", МОН України,
доцент кафедри обчислювальної техніки та програмування

Офіційні опоненти : доктор технічних наук, професор,
Скобцов Юрій Олександрович,
Донецький національний технічний університет, м. Донецьк,
зав. кафедри автоматизованих систем управління

доктор технічних наук, професор,
Дербунович Леонід Вікторович,
Національний технічний університет "Харківський політехнічний інститут", м. Харків,
професор кафедри автоматики та управління в технічних системах

Провідна установа: Інститут проблем моделювання в енергетиці
ім. Г.Є. Пухова НАН України, м. Київ

Захист відбудеться 22 лютого 2007 р. о 14³⁰ годині на засіданні спеціалізованої вченої ради Д 64.050.14 в Національному технічному університеті "Харківський політехнічний інститут" за адресою 61002, м. Харків, вул. Фрунзе, 21.

З дисертацією можна ознайомитись у бібліотеці Національного технічного університету "Харківський політехнічний інститут".

Автореферат розісланий 19.01. 2007 р.

Вчений секретар
спеціалізованої вченої ради

Ліберг І.Г.

ЗАГАЛЬНА ХАРАКТЕРИСТИКА РОБОТИ

Актуальність теми. Складність сучасних елементів і пристроїв обчислювальної техніки вимагає для їхньої розробки створення нових методів і засобів, що дозволяють враховувати при їхньому проектуванні особливості застосовуваних технологій. Це обумовлено підвищенням ступеня інтеграції пристроїв, значним їхнім ускладненням, ростом номенклатури продукції, що випускається, і великими труднощами в налагодженні пристроїв.

Одним з можливих шляхів рішення цієї задачі є розробка нових нетрадиційних форм і методів опису, аналізу і синтезу цифрових пристроїв, дослідження їхньої ефективності в залежності від класу розв'язуваних задач і доведення їх до рівня практично використовуваних алгоритмів і програм. Зазначені задачі здобувають особливе значення в умовах створення сучасних обчислювальних і керуючих систем на базі інтегральної технології, коли усе ширше використовуються мікропроцесори, великі і надвеликі інтегральні схеми, тому що процес виявлення і пошуку несправності в них стає усе більш трудомістким і тривалим як у статичних, так і в динамічних режимах. При проектуванні сучасних обчислювальних пристроїв у зв'язку з ростом щільності монтажу на друкованій платі, ростом швидкодії мікросхем, що досягається за рахунок зменшення розмірів каналів у транзисторних елементах, і, відповідно, зменшенням розмірів плати, виникає також проблема обліку взаємного впливу мікросхем однієї на одну. Математичний опис електромагнітних процесів у цьому випадку немислимо без використання диференційних виражень. Однак опис цифрових систем безперервними диференційними або інтегральними рівняннями в переважній більшості випадків нераціонально через надмірну трудомісткість їх рішення.

Неможливо або сильно ускладнено в більшості випадків і застосування тут методів цифрових автоматів, у силу того, що ці методи розроблялися для аналізу об'єктів, що не містять у своєму описі диференційних і інтегральних операторів. Необхідність обліку диференційних і інтегральних зв'язків у цифрових системах привело до створення булевого і K -значного логічного диференційного числення. Однак булеве диференційне та інтегральне числення лише небагато розширило рамки стандартного двозначного аналізу цифрових схем. K -значне логічне диференційне числення також не дозволяє вирішувати перераховані вище задачі. У зв'язку з цим для більш точної верифікації електронних пристроїв необхідно розробити методи аналізу, що дозволяли б, з одного боку, адекватно описувати процеси в цифрових системах, математичний опис яких містить диференційні та інтегральні оператори, а з іншого боку – дозволяли б виконувати чисельний аналіз процесів у цифрових і гібридних системах із припустимими витратами. У цьому змісті найбільш перспективним є розробка нових систем для проектування цифрових пристроїв за допомогою K -значного подання сигналу і K -значного диференційного та інтегрального подання диференційних і інтегральних зв'язків, що мають у електронних пристроях. Усе це дозволяє стверджувати, що сформульована тема дисертаційної роботи є актуальною.

Зв'язок роботи з науковими програмами, планами, темами. Робота виконувалася відповідно до держбюджетної тематики кафедри обчислювальної техніки і програмування НТУ "ХПІ" у рамках держбюджетних тем МОН України "Розробка теорії математичного моделювання гібридних динамічних об'єктів на основі K -значного диференційного числення" (ДР № 0198U005683) та "Розробка теорії і методів оптимізації гібридних динамічних об'єктів на основі K -значного диференційного числення та методів штучного інтелекту" (ДР № 0101U001804), в яких здобувач була виконавцем окремих розділів.

Мета і задачі дослідження. *Метою дисертаційної роботи є удосконалення методів верифікації динамічних параметрів обчислювальних електронних пристроїв, що проектуються з урахуванням внутрішніх та зовнішніх перешкод.*

Основні задачі наукових досліджень, що впливають з мети дисертаційної роботи:

1. Аналіз сучасного стану і тенденцій розвитку систем моделювання обчислювальних пристроїв і методів верифікації, які використовуються у цих системах.
2. Розробка нових K -значних моделей пристроїв на основі рівнянь із запізнілим аргументом та з урахуванням розкиду технологічних параметрів для опису елементів та систем.
3. Розробка методу верифікації, що дозволяє зменшити обчислювальні витрати при моделюванні пристроїв, що проектуються, зі збереженням необхідної точності дослідження.
4. Розробка методів розрахунку цифрових і гібридних електронних пристроїв з урахуванням параметрів електромагнітної сумісності їх компонентів та дослідження впливу перемикальних процесів на правильність функціонування обчислювальних пристроїв з використанням потужносного аналізу.
5. Розробка методів і засобів комп'ютерного моделювання розповсюдження сигналів у провідниках.
6. Розробка системи моделювання, яка дозволяє виконувати верифікацію електронних пристроїв на основі K -значних диференційних рівнянь, з урахуванням внутрішніх та зовнішніх перешкод електромагнітної сумісності окремих компонентів та має відкритий інтерфейс.

Об'єкт дослідження – процеси верифікації динамічних характеристик електронних пристроїв на структурно-вентильному рівні їхнього проектування.

Предмет дослідження – метод верифікації цифрових і гібридних пристроїв обчислювальної техніки і систем керування на основі K -значного диференційного числення.

Методи дослідження – апарат прикладної теорії цифрових автоматів для опису окремих елементів, що розробляються, теорія K -значних диференційних рівнянь та апарат дискретної математики для розробки чисельних методів рішення K -значних диференційних рівнянь, метод верифікації динамічних параметрів обчислювальних

електронних пристроїв з використанням K -значних диференційних рівнянь, а також теорія моделювання, елементів та пристроїв обчислювальної техніки.

Наукова новизна досліджень, що забезпечує досягнення мети роботи полягає в наступному:

1. Одержала подальший розвиток узагальнена K -значна модель цифрового елемента пристроїв обчислювальної техніки. На відміну від відомих моделей модель узагальненого елемента, яка розроблена має можливість описувати функціонування елемента одним або системою K -значних диференційних рівнянь із запізнюванням, що дозволяє більш точно моделювати цифрові пристрої зі зворотними зв'язками, дозволяє виконувати потужносний аналіз перешкод та сигналів, які повільно змінюються, а також дозволяє виконувати верифікацію пристроїв зі змінними затримками логічних елементів.

2. Одержав подальший розвиток чисельний метод рішення K -значних диференційних рівнянь із запізнюванням і їх систем у випадку, коли системи рівнянь мають рівняння з перемінною структурою і різними величинами запізнювань.

3. Вперше розроблено метод і узагальнену процедуру дослідження цифрових пристроїв, що дає можливість, у залежності від вимог до пристроїв, що проектуються, проводити моделювання їхнього функціонування в різних режимах, що дозволяє більш точно визначати амплітудно-часові і потужносні характеристики синтезованих пристроїв.

4. Розроблено метод верифікації гібридних пристроїв, що дозволяє передавати результати моделювання аналогової частини пристрою, які отримані в системі OrCAD у систему моделювання на основі K -значного диференційного числення для їхнього перетворення і подальшого використання при моделюванні цифрової частини цього пристрою.

5. Одержав подальший розвиток метод і розроблено процедури на його основі для верифікації цифрових пристроїв з обліком параметрів електромагнітної сумісності окремих компонентів цих пристроїв, що дозволяє досліджувати особливості їх топології, і виявляти помилки, що пов'язані з невдалим конструкторським проектуванням і виникаючими в зв'язку з цим перешкодами.

6. Вперше отримано K -значну диференційну форму телеграфних рівнянь і запропоновано чисельний метод рішення цього K -значного диференційного рівняння в часткових похідних, що дає можливість моделювати цифрові пристрої з довгими лініями, якими є канали зв'язку в обчислювальних мережах.

Практична цінність роботи для верифікації пристроїв обчислювальної техніки:

1. Розроблено систему верифікації обчислювальних пристроїв на основі K -значного диференційного числення, що має відкритий інтерфейс, що дозволяє працювати з іншими системами моделювання, зокрема, з такими, як OrCAD і ActiveHDL.

2. Розроблено бібліотеки K -значних логічних елементів, що є аналогічними стандартним бібліотекам, що забезпечує комплексність і сумісність при використанні розробленої системи разом з іншими системами автоматизованого проектування. Крім цього, отримані методи автоматизованого синтезу базових елементів пристроїв, які проектуються, по аналітичному описі законів їхнього функціонування і за допомогою використання графічних примітивів.

3. Уніфіковано процес створення пристроїв, що містять ієрархічні елементи, і пристроїв нижнього ієрархічного рівня. Кількість ієрархічних рівнів, при цьому, обмежено тільки технічними засобами, які використовуються..

4. Результати дисертаційної роботи були впроваджені й апробовані при розробці системи керування виробництвом монокристалів в Інституті сциндіяційних матеріалів НАН України (м. Харків). У результаті цих робіт за допомогою моделювання на основі K -значного диференційного числення було уточнено тимчасові характеристики ЕОМ, що керує процесом вирощування монокристалів.

5. Результати дисертаційної роботи були впроваджені в навчальний процес на кафедрах "Обчислювальна техніка та програмування" та "Інформатика та інтелектуальна власність" НТУ "ХПІ".

Особистий внесок здобувача полягає в тому, що всі положення дисертації, які винесені на захист, отримані самостійно. Серед них:

1. Розроблено перспективний метод верифікації елементів і пристроїв обчислювальної техніки на основі опису їх функціонування K -значними диференційними рівняннями з запізнілим аргументом.

2. Отримано нову універсальну K -значну модель елемента обчислювальної техніки, що дозволяє досліджувати перемикальні процеси з обліком їх потужносних параметрів і розкидом параметрів затримок.

3. Розроблено перспективний метод верифікації обчислювальних пристроїв на основі K -значного подання сигналів з урахуванням параметрів електромагнітної сумісності їх компонентів.

4. Розроблено модулі системи верифікації пристроїв на основі K -значного диференційного числення, що дозволяють досліджувати працездатність пристроїв, які спроектовані у середовищі ActiveHDL, методами розробленої системи, а також дозволяють виконувати дослідження працездатності пристроїв, що проектуються, з урахуванням параметрів електромагнітної сумісності на основі даних, які отримані із системи OrCAD.

5. Розроблено метод верифікації гібридних пристроїв, що дозволяє використовувати результати дослідження працездатності аналогової частини в системі OrCAD при аналізі цифрової частини методом на основі K -значного диференційного числення.

6. Розроблено перспективний метод дослідження поширення сигналів у провідниках на основі K -значних диференційних рівнянь у часткових похідних.

7. Отримано K -значні моделі елементів обчислювальної техніки, які мають внутрішні зворотні зв'язки. Ці моделі дозволяють проводити верифікацію пристроїв з урахуванням розкиду параметрів затримок. Також розроблено метод верифікації пристроїв, який дозволяє використовувати як повну модель елемента, так і її окремі часткові види.

Апробація роботи. Основні результати і положення роботи доповідалися й обговорювалися на науково-технічних конференціях: 8 Міжнародній конференції "Комп'ютерне моделювання", (Белгород, 1998); 8 Міжнародній конференції "Теорія і техніка передачі, прийому й обробки інформації" ("Інтегровані інформаційні системи, мережі і технології") "ІСТ-2002" (Харків, 2002); Щорічних Міжнародних конференціях West Design&Test Workshop (Одеса, 2004 р., Алушта, 2005 р.); Щорічних міжнародних науково-практичних конференціях "Інформаційні технології: наука, техніка, технологія, освіта, здоров'я" (Харків, 2002 – 2005 рр.); Щорічній міжнародній науково-технічній конференції "Проблеми інформатики і моделювання" (Харків, 2002 – 2005 рр.).

Публікації. По темі дисертації опубліковано 14 наукових праць, з них 8 – у фахових наукових виданнях ВАК України.

Структура та обсяг роботи. Дисертаційна робота складається з вступу, 4 розділів, висновків і 4 додатків. Повний обсяг дисертації складає 311 сторінок; 8 ілюстрацій по тексту; 102 ілюстрації на 86 сторінках; 4 таблиці по тексту; 10 таблиць на 6 сторінках; 4 додатка на 56 сторінках; 153 використаних джерела на 15 сторінках.

ОСНОВНИЙ ЗМІСТ РОБОТИ

В вступі обумовлено актуальність напрямку дослідження, відбитий зв'язок дисертаційної роботи з науковими програмами, планами, темами, сформульовані мета і задачі досліджень, приведена наукова новизна отриманих результатів і практична значущість роботи, наведені дані про апробацію результатів та їхньому впровадженні.

У першому розділі приведено аналіз різних методів верифікації при проектуванні обчислювальних пристроїв, включаючи і методи, що використовують багатозначне представлення сигналів. Приведено класифікацію багатозначних методів моделювання з указівкою їх особливостей, переваг і недоліків. Особлива увага приділена методу моделювання на основі K -значного диференційного числення, що дозволяє на якісно новому рівні, у порівнянні з іншими методами аналізу, досліджувати складні тимчасові співвідношення при роботі цифрових обчислювальних пристроїв. При цьому зазначені і недоліки даного підходу, зокрема неможливість його використання для опису елементів, що мають функцію "пам'яті" та для дослідження працездатності обчислювальних пристроїв з урахуванням різних паразитних факторів, що впливають на правильність їх функціонування, як того вимагає рівень сучасної обчислювальної техніки.

Приведено докладний огляд методів верифікації пристроїв обчислювальної техніки в сучасних системах автоматизованого проектування електронних пристроїв високого рівня з указівкою їх особливостей, достоїнств та недоліків. Відзначено, що системи аналізу працездатності пристроїв, що використовують булеві методи моделювання найчастіше виявляються неспроможними при аналізі не тільки динамічних, але й статичних ризиків збоїв. Розглянуті питання спільного використання етапів логічного проектування і синтезу тестів. Також дано опис процесу наскрізного проектування пристрою, як послідовного виконання всіх етапів логічного і конструкторського проектування, що дозволяє досліджувати працездатність пристроїв з урахуванням параметрів електромагнітної сумісності їх компонентів.

На підставі проведеного аналізу зроблено висновок, що сучасні системи дослідження працездатності пристроїв повинні мати можливість обліку перехідних процесів перемикавання логічних сигналів; можливість виконання повного циклу проектування пристроїв, починаючи з етапу побудови їх принципових схем та можливість аналізу працездатності пристроїв з обліком їх топологічного проектування.

В другому розділі уведено визначення K -значного диференційного рівняння з запізнюванням, що описує функціонування логічного елемента, який має неединичну затримку.

Визначення 1. K -значним диференційним рівнянням з аргументом, що відхиляється, називається K -значне диференційне рівняння, у якому шукана K -значна функція, її похідні і відомі K -значні функції незалежної перемінної входять при різних значеннях аргументу

Визначення 2. K -значне диференційне рівняння з аргументом, що відхиляється, називається K -значним диференційним рівнянням з аргументом, який запізнюється, якщо значення старшої K -значної похідної при будь-якому значенні \bar{t}_i незалежної змінної t_i у заданій області визначення $N_1 \subset N$ знаходиться через значення шуканої функції, її K -значних похідних менших порядків і відомих функцій незалежної змінної при $\bar{t}_i < t_i$.

У дисертаційній роботі використовується K -значне диференційне рівняння з запізнюванням, що зв'язує значення похідної невідомого вихідного сигналу $U_{\text{вих}}(t_i)$ в

момент t_i $\frac{dU_{\text{вих}}(t_i)}{dt_i}$ з вихідним значення в момент $(t_i - D)$ $U_{\text{вих}}(t_i - D)$ і вектором

K -значних вхідних сигналів цифрового елемента в момент $(t_i - D)$ $\mathbf{U}_{\text{вх}}(t_i - D) = (U_{\text{вх}_1}(t_i - D), \dots, U_{\text{вх}_m}(t_i - D))$. Це K -значне диференційне рівняння представлено:

$$\frac{dU_{\text{вих}}(t_i)}{dt_i} = f(U_{\text{вих}}(t_i - 1), U_{\text{вих}}(t_i - D), \mathbf{U}_{\text{вх}}(t_i - D), t_i), t_i \geq t_0;$$

$$U_{\text{вих}}(t_i - D) = \varphi_0(t_i), \text{ при } t_i \in [t_0, t_0 + D],$$

де $\frac{dU_{\text{вих}}(t_i)}{dt_i}$ – значення похідної невідомого вихідного сигналу $U_{\text{вих}}(t_i)$ у момент t_i ;
 $U_{\text{вих}}(t_i - 1)$ – значення вихідного сигналу в момент $(t_i - 1)$; $U_{\text{вих}}(t_i - D)$ – значення вихідного сигналу в момент $(t_i - D)$; D – значення постійного запізнювання вихідного сигналу елемента відносно його вхідного сигналу; $\mathbf{U}_{\text{вх}}(t_i - D)$ – вектор K -значних вхідних сигналів цифрового елемента в момент $t_i - D$; $\varphi_0(t_i)$ – початкова K -значна функція, яка задана на інтервалі $[t_0, t_0 + D]$, і яка визначає вихідний сигнал $U_{\text{вих}}(t_i)$ елемента на початковій дискретній множині $E_{t_0} = t_0 - D, t_0 - D + 1, \dots, t_0$.

Моделі логічних елементів у розробленій системі функціонують на основі чисельного методу рішення K -значного диференційного рівняння з запізнюванням і описуються послідовністю рівнянь, що являють собою результат інтегрування відповідних K -значних диференційних рівнянь із запізнюванням:

$$\begin{aligned} U_{\text{вих}}(t_i) &= U_{\text{вих}}(t_i - 1) \langle + \rangle_K \Delta t \langle \times \rangle_K f(U_{\text{вих}}(t_i - 1), \varphi_l(t_i), \mathbf{U}_{\text{вх}}^l(t_i), t_i); \\ \varphi_l(t_i) &= U_{\text{вих}}(t_i - D); \\ \mathbf{U}_{\text{вх}}^l(t_i) &= \mathbf{U}_{\text{вх}}(t_i - D); \text{ при } t_i \in t_0 + lD, t_0 + lD + 1, \dots, t_0 + (l + 1)D, \quad l = \overline{0, n_l - 1}; \\ U_{\text{вих}}(t_i - D) &= \varphi_0(t_i), \text{ при } t_i \in t_0, t_0 + 1, \dots, t_0 + D; \\ \mathbf{U}_{\text{вх}}(t_i - D) &= \psi_0(t_i), \text{ при } t_i \in t_0, t_0 + 1, \dots, t_0 + D, \end{aligned}$$

де $\psi_0(t_i)$ – початкова K -значна функція, яка задана на інтервалі $[t_0, t_0 + D]$, і яка визначає вектор вхідних сигналів $\mathbf{U}_{\text{вх}}(t_i)$ елемента на початковій дискретній множині $E_{t_0} = t_0 - D, t_0 - D + 1, \dots, t_0$, $\langle + \rangle_K$, $\langle \times \rangle_K$ – операції додавання та множення по модулю K .

Будь який елемент цифрової обчислювальної техніки, що містить M логічних блоків у розробленій системі верифікації пристроїв, описується системою K -значних диференціальних рівнянь із запізнілим аргументом, яка має вид:

$$\begin{cases} \frac{dU_{\text{вих}j}(t_i)}{dt_i} = f(U_{\text{вих}j}(t_i - 1), U'_{\text{вих}j}(t_i - D_1), U'_{\text{вх}j1}(t_i - D_1), \\ U'_{\text{вх}j2}(t_i - D_1), \dots, U'_{\text{вх}jN_1}(t_i - D_1), t_i), \quad t_i \geq t_0; \\ U_{\text{вих}j}(t_i - D_j) = \varphi_0^j(t_i), \quad t_i \in [t_0, t_0 + D_j]; U_{\text{вх}jw}(t_i - D_j) = \psi_{0w}^j, \\ t_i \in [t_0, t_0 + D_j]; \quad j = \overline{1, M}, \end{cases}$$

де $\frac{dU_{\text{вих}j}(t_i)}{dt_i}$ – значення похідної невідомого вихідного сигналу $U_{\text{вих}j}(t_i)$ j -го внутрішнього логічного блоку в момент t_i ; $U'_{\text{вих}j}(t_i - D_j)$ и $U'_{\text{вх}jw}(t_i - D_j)$ – модифіковані значення j -го вихідного сигналу $U_{\text{вих}j}(t_i - D_j)$ та jw -го вхідного сигналу $U_{\text{вх}jw}(t_i - D_j)$ елемента в момент $(t_i - D_j)$; D_j – затримка

j -го логічного блоку елемента: $D_j \in T_{3j}$; $T_{3j} = f_T(t_{3_тип}, t_{3_мин}, t_{3_макс}, Ctrl_T)$, $j = \overline{1, M}$; T_{3j} – множина припустимих значень затримки j -го логічного блоку елемента $\phi_j^j(t_i)$ – K -значна функція, яка визначає вихідний сигнал j -го елемента на дискретній множині $E_{t_i} = \{t_0 + (l-1)D, \dots, t_0 + lD_j\}$; $\psi_{0w}^j(t_i)$ – K -значна функція, яка задає jw -й вхідний сигнал на інтервалі часу $t_i \in [t_0 - D_j, t_0)$.

Наявність запізнілого аргументу надає можливості опису і моделювання елементів зі зворотними зв'язками, наприклад, тригерів. При цьому величина запізнювання необов'язково повинна мати деяке єдине значення. Для різних внутрішніх логічних вузлів елемента вона може приймати різні значення. Ці значення, у свою чергу, також можуть варіюватися в межах від мінімальної до максимальної величини затримки елемента. Це забезпечує моделювання елемента із змінними затримками його внутрішніх вузлів. Як аргументи K -значних диференціальних рівнянь, що складають систему, входять модифіковані з урахуванням потужності їхнього переключення, вхідні, проміжні і вихідні сигнали елементів. Ця модифікація виконується відповідно до виразу:

$$U'_{вих j}(t_i - D_j) = \begin{cases} U_{вих j}(t_i - D_j), \text{ якщо } \tilde{E}_{вих}^j(t_i - D_j) < \tilde{E}_p, \quad j = \overline{1, M}; \\ K - 1, \text{ якщо } (\tilde{E}_{вих}^j(t_i - D_j) \geq \tilde{E}_p), U_{st_в j}(t_i - D_j) = 0, \quad j = \overline{1, M}; \\ 0, \text{ якщо } (\tilde{E}_{вих}^j(t_i - D_j) \geq \tilde{E}_p), U_{st_в j}(t_i - D_j) = K - 1, \quad j = \overline{1, M}; \end{cases}$$

$$U'_{вх jw}(t_i - D_j) = \begin{cases} U_{вх jw}(t_i - D_j), \text{ якщо } \tilde{E}_w^j(t_i - D) < \tilde{E}_p, \quad w = \overline{1, N_j}; \\ K - 1, \text{ якщо } (\tilde{E}_w^j(t_i - D_j) \geq \tilde{E}_p), U_{st w}^j(t_i - D_j) = 0, \quad w = \overline{1, N_j}; \\ 0, \text{ якщо } (\tilde{E}_w^j(t_i - D_j) \geq \tilde{E}_p), U_{st w}^j(t_i - D_j) = K - 1, \quad w = \overline{1, N_j}, \end{cases}$$

де $\tilde{E}_{вих}^j(t_i - D_j)$ та $\tilde{E}_w^j(t_i - D_j)$ – накопичені значення потужності переключення j -го вихідного та i -го вхідного сигналу на момент часу $(t_i - D_j)$; $U_{st_в j}(t_i - D_j)$ та $U_{st w}^j(t_i - D_j)$ – встановлені значення j -го вихідного та i -го вхідного сигналу, які зафіксовані перед початком перехідного процесу;

Накопичені до моменту $(t_i - D_j)$ потужність вихідного сигналу визначається відповідно до наступного виразу:

$$\tilde{E}_{вих}^j(t_i - D_j) = \begin{cases} 0, U_{вих j}(t_i - D_j) \in \{0, K - 1\}; \\ \sum_{t_k = t_{s_в j}}^{t_i - D_j} [U_{вих j}(t_k)(\tilde{U}_{макс} - \tilde{U}_{мин}) + \tilde{U}_{мин} \times (K - 1)]^2, \\ U_{вих j}(t_i - D_j) \notin \{0, K - 1\}; \end{cases}$$

$$\tilde{E}_{вих}^j(-D_j) = 0,$$

де t_{s_vj} – момент початку перехідного процесу переключення j -го вихідного з одного стійкого стану в інше.

Аналогічно визначається потужність вхідних сигналів. Величина запізнювання D_j j -го внутрішнього логічного вузла елемента приймає своє значення з множини T_{3j} можливих величин затримок вузла. Множина T_{3j} можливих величин затримок вузла $f_T(t_{3_тип}, t_{3_мин}, t_{3_макс}, Ctrl_T)$. $Ctrl_T$ являє собою керуючий сигнал, що визначає спосіб завдання цієї множини: $Ctrl_T = 0$ – множина усіх затримок зводиться до типової затримки елемента ($T_{3j} = \{t_{3_тип}\}$); $Ctrl_T = 1$ – множина містить типову, мінімальну та максимальну величини затримки ($T_{3j} = \{t_{3_мин}, t_{3_тип}, t_{3_макс}\}$); $Ctrl_T = 2$ и 3 – множина T_{3j} містить можливі значення затримки, що визначаються у відповідності з законом розподілу випадкової величини, що характеризує відхилення затримки від її типового значення; $Ctrl_T = 4$ – множина T_{3j} містить крім типового значення ще і затримки елемента, що відхиляються от $t_{3_тип}$ на величину τ , яка дорівнює тривалості перехідного процесу його переключення з одного стаціонарного стану в інше ($T_{3j} = \{\text{Round}(t_{3_тип} - \tau), t_{3_тип}, \text{Round}(t_{3_тип} + \tau)\}$).

Відповідно до розробленого методу верифікації пристроїв обчислювальної техніки, загальна модель елемента цифрової обчислювальної техніки, що може містити у своєму складі M логічних внутрішніх вузлів, кожний з яких має один вихід і N_j входів ($j = \overline{1, M}$), задається структурою, яка приведена на рис. 1. Основним блоком даної структури є **блок 1**, який призначено для рішення системи K -значних диференціальних рівнянь із запізнілим аргументом. У структуру елемента також включається **блок 4**, що виконує ініціалізацію елемента, що полягає у визначенні розмірів буферів при їхньому початковому заповненні. Перед тим, як сигнали, що знімаються з буферних елементів, надійдуть на блок рішення системи K -значних диференціальних рівнянь (**блок 1**), їх значення можуть бути змінені в залежності від потужності переключення елементів. Цей аналіз виконується в **блоці 5** вирахування потужності вхідних і вихідних сигналів. На вхід цього блоку надходять сигнали, що знімаються з вхідних і вихідних буферних елементів, а з виходу знімаються вже їх значення з обліком потужносного аналізу. Для забезпечення моделювання із затримками, що плавають, у структуру, приведену на рис. 1, включено **блок 7** формування множини припустимих величин затримок логічного вузла елемента.

При цьому необхідна точність аналізу визначається сигналом $Ctrl_T$, відповідно до якого формується зазначена множина. Крім цих блоків, структура узагальненого елемента (рис. 1) містить також **блок 6** комутації вхідних сигналів елемента і вихідних сигналів внутрішніх логічних вузлів. Цей блок призначений для формування сукупностей вхідних сигналів для кожного внутрішнього елемента. У залежності від особливостей функціонування пристрою, який проектується, і вимог, які необхідні для аналізу їх працездатності в розробленій системі на основі K -значного диференційного

числення, можна використовувати як повну модель елемента, так і її окремі часткові види, вибір яких визначається обраним режимом дослідження. У розробленій системі виділяється чотири основних режими аналізу:

Режим 1. Зв'язан з описом функціонування елементів K -значними диференціальними рівняннями з запізнюванням. При виборі першого режиму в структурі елемента, приведеній на рис. 1, блок потужносного аналізу працює як буфер передачі даних – сигнали без зміни передаються на блок 1.

Режим 2. Відповідає опису функціонування елементів K -значними диференціальними рівняннями з запізнюванням з урахуванням потужності переключення вхідних і вихідних сигналів. При цьому виконується моделювання елемента з урахуванням потужності переключення вхідних та вихідних сигналів з типовими значеннями затримок.

Режим 3. Відповідає дослідженню роботи пристроїв, що проектується, зі змінними затримками при використанні опису функціонування елементів K -значними диференціальними рівняннями з запізнюванням. У цьому випадку елемент представляється повною структурою, у якій, не функціонує блок 5 потужносного аналізу – сигнали на виході блоку цілком відповідають сигналам на вході.

Режим 4. Являє собою режим верифікацію пристроїв зі змінними затримками і обліком потужності переключення вхідних і вихідних сигналів при використанні опису функціонування елементів K -значними диференціальними рівняннями з запізнюванням. При виборі четвертого режиму моделювання всі блоки, що входять у структуру елемента знаходяться в робочому стані, що дозволяє виконати комплексний аналіз працездатності пристрою з використанням усіх можливостей, закладених у розроблену систему.

У третьому розділі дисертаційної роботи приведено опис розроблених методів і алгоритмів дослідження працездатності гібридних обчислювальних пристроїв. Оскільки будь-який гібридний пристрій можна представити як сукупність аналогових і цифрових блоків, послідовно з'єднаних між собою, то при аналізі такого роду структур із застосуванням методу на основі K -значного диференціального числення можливо використання двох підходів, вибір між якими здійснюється на підставі типу з'єднання аналогових і цифрових блоків для передачі оброблених сигналів.

Перший підхід полягає в повному моделюванні однієї частини гібридного пристрою (аналогового або цифрового) з передачею результатів цього моделювання в іншу частину пристрою для їх наступної обробки. Такий підхід застосовується для пристроїв, робота яких може бути розбита на два окремих етапи: виконується обробка сигналів аналоговими методами, а потім цифровими, або навпаки.

Другий підхід полягає в послідовному моделюванні аналогових і цифрових блоків з постійною взаємною передачею результатів цього моделювання. При цьому використовуються розроблені методи перетворення цифрових і аналогових сигналів у K -значні і навпаки. Таке перетворення вимагає зміни кроку інтегрування при переході від рішення систем звичайних диференціальних рівнянь до рішення систем K -значних

диференційних рівнянь із запізнілим аргументом. Перетворення аналогового сигналу в K -значну форму виконується відповідно до наступного вираження:

$$U_A^K(t_i) = \begin{cases} 0, & \text{якщо } U_A^I(t_i) < U_{\min}, t_i \in \{t_0 + lD, t_0 + lD + 1, \dots, t_0 + (l+1)D\}; \\ K-1, & \text{якщо } U_A^I(t_i) > U_{\max}, t_i \in \{t_0 + lD, t_0 + lD + 1, \dots, t_0 + (l+1)D\}; \\ \text{Round}\left(\frac{U_A^I(t_i)}{U_{\max}}(K-1)\right), & \text{якщо } U_{\min} \leq U_A(t_i) \leq U_{\max}, \\ & t_i \in \{t_0 + lD, t_0 + lD + 1, \dots, t_0 + (l+1)D\}; \end{cases}$$

$$U_A^I(t_i) = f_{INT}(U_A(t_j), U_A(t_{j+1}), t_j, t_{j+1}, t_i), t_j \leq t_i \leq t_{j+1},$$

$$t_j \in \{t_0 + lD, t_0 + lD + \Delta t_1, t_0 + lD + \Delta t_1 + \Delta t_2, \dots, t_0 + lD + \sum_{j=1}^{s-1} \Delta t_j, t_0 + (l+1)D\},$$

де $U_A^I(t_i)$ – значення функції у момент t_i ($t_j \leq t_i \leq t_{j+1}$);

$f_{INT}(U_A(t_j), U_A(t_{j+1}), t_j, t_{j+1}, t_i)$ – функція, що виконує інтерполяцію $U_A(t_j)$ у момент t_i ($t_j \leq t_i \leq t_{j+1}$) по її значенням у моменти t_j и t_{j+1} .

Показано, що застосування розробленої системи дозволяє більш точно досліджувати працездатність гібридних пристроїв. Крім цього, у розділі приводиться опис розроблених методів моделювання обчислювальних пристроїв з урахуванням параметрів електромагнітної сумісності, обумовленої різним розміщенням окремих елементів на топологічному просторі.

При дослідженні швидкодіючих пристроїв лінії зв'язку між ними можна розглядати як довгі лінії. У цьому випадку в розробленій системі їх дослідження виконується на основі рішення диференціальних рівнянь у часткових похідних другого порядку, що апроксимується K -значним різницевою рівнянням:

$$U_{i,i+1}^K = U_{i+1,j}^K \langle + \rangle_K U_{i-1,j}^K \langle - \rangle_K U_{i,j-1}^K;$$

$$U_{i,j}^K = U^K(x_i, t_j); i = 0, 1, \dots, n; j = 0, 1, \dots$$

де $U_{i,j}^K$ – значення K -значного сигналу в точці x_i провідника в момент t_j .

З одного боку, це вираження є K -значною різницевою формою безперервного хвильового рівняння, а з іншого – визначає сам метод рішення K -значного хвильового рівняння. Отримані методи дослідження поширення сигналів за допомогою K -значних диференціальних рівнянь у часткових похідних дозволяють виконувати проектування обчислювальних систем і зв'язків між окремими пристроями в цих системах з комплексним дослідженням параметрів елементів.

У четвертому розділі розглядається система верифікації обчислювальних пристроїв, які проектуються, на основі K -значного диференційного числення. Представлена система дозволяє досліджувати працездатність сучасних швидкодіючих обчислювальних пристроїв з урахуванням перехідних процесів переключення K -значних логічних сигналів, впливу внутрішніх динамічних перешкод, виникнення

яких визначається параметрами електромагнітної сумісності внутрішніх топологічних елементів з урахуванням впливу зовнішніх статичних і динамічних перешкод на пристрій, що проектується. Для розширення можливостей і властивостей відкритості системи у ній існує можливість використання результатів топологічного проектування пристроїв у розповсюдженій у даний час системі OrCAD. Отримані в системі OrCAD результати топологічного проектування можуть бути використані для дослідження електромагнітної сумісності окремих компонентів пристрою, що проектується, за допомогою розробленої системи аналізу працездатності цих пристроїв. При цьому є можливість використання результатів моделювання аналогової частини гібридного пристрою в системі OrCAD для дослідження працездатності цифрової частини цього пристрою в розробленій системі. У даному розділі також розглядається додатковий модуль системи, що дозволяє виконати моделювання схем, які спроектовані у середовищі ActiveHDL, і функціонування яких описується мовою VHDL. У розділі також розглядається робота окремого модуля, що дозволяє досліджувати динамічні і статичні ризики збоїв в обчислювальних пристроях, що спроектовані. Розроблена система застосовувалась для аналізу працездатності мікропроцесорної системи керування температурним режимом розплаву при вирощуванні монокристалів.

Контроль процесу вирощування великогабаритних монокристалів, що широко використовуються в оптиці, в даний час є достатньо важливою задачею. Висока вартість таких монокристалів і велика їх вага збільшують ступінь ризику від виробничих утрат, що у значній мірі визначається формуванням неузгодженими керуючими впливами. У зв'язку з цим до такого процесу висуваються високі вимоги по підвищенню ефективності застосовуваних алгоритмів керування, що, у свою чергу, вимагає алгоритмізації основних етапів вирощування великогабаритних монокристалів у виробництві сцинтиляторів. При вирощуванні монокристалів використовується система керування на базі мікроконтролерів, правильність роботи яких оцінювалась за допомогою моделювання, що було виконано за допомогою засобів розробленої системи аналізу працездатності пристроїв на основі K -значного диференційного числення.

ОСНОВНІ РЕЗУЛЬТАТИ І ВИСНОВКИ

В дисертаційній роботі розв'язана актуальна науково-практична задача створення перспективного методу верифікації елементів і пристроїв обчислювальної техніки і систем керування на основі K -значного кодування сигналів і K -значних диференційних рівнянь із запізнюванням, що дає можливість більш точно, з урахуванням внутрішніх та зовнішніх перешкод виконувати верифікацію динамічних параметрів електронних пристроїв, а також вдосконалити методи розробки апаратних структур обчислювальних систем.

Основні результати роботи полягають у наступному:

1. Проведено аналіз сучасних методів верифікації елементів і пристроїв обчислювальної техніки і систем керування, які застосовуються при проектуванні

цифрових і гібридних пристроїв. Цей аналіз показав недоліки сучасних методів моделювання на основі безперервних диференціальних рівнянь, булевої алгебри і K -значного кодування логічних сигналів та необхідності подальшого розвитку математичного апарата, що не має основних недоліків відомих методів.

2. Вперше на основі систем K -значних диференційних рівнянь із запізнюванням та численного методу їх рішення розроблено метод верифікації обчислювальних пристроїв, який дає можливість при збереженні необхідної точності моделювання пристроїв, що проектуються з урахуванням розкиду технологічних параметрів окремих елементів та потужностного аналізу, зменшити обчислювальні затрати на їх дослідження.

3. Розроблено метод верифікації електронних пристроїв, в основу якого покладено нові моделі цифрових елементів і пристроїв на основі K -значних диференційних рівнянь із запізнюванням. Ці моделі дозволяють на відміну від відомих моделей більш точно моделювати цифрові елементи і пристрої електронної техніки із зворотними зв'язками з урахуванням при зміні сигналів в них потужності перемикавання, і виконувати верифікацію пристроїв із змінними затримками логічних елементів. Це забезпечує більш точну верифікацію електронних пристроїв з урахуванням перешкод.

4. Розроблено узагальнені методи моделювання цифрових пристроїв, а також гібридних обчислювальних систем на основі сумісного рішення систем безперервних і K -значних диференційних рівнянь, які дозволяють в залежності від вимог до пристрою, що проектується виконувати моделювання цифрової частини з урахуванням або без урахування розкиду технологічних параметрів окремих елементів, потужностного аналізу і процесів переключення елементів.

5. Вперше отримано K -значну диференційну форму телеграфних рівнянь і запропоновано чисельний метод рішення цих K -значних рівнянь в часткових похідних, що дає можливість з меншими обчислювальними затратами виконувати моделювання передачі даних з різними протоколами та визначати серед них оптимальні в умовах електромагнітних перешкод та зміни параметрів лінії.

6. Розроблено систему верифікації елементів і пристроїв обчислювальної техніки і систем керування на основі K -значних диференційних рівнянь, що має відкритий інтерфейс. Це дозволяє застосовувати в системі K -значного кодування дані, що вилучені в інших системах проектування, а також передавати в них дані, які є результатом роботи системи K -значного моделювання.

7. Розроблена система використана при розробці системи керування процесом вирощування великогабаритних монокристалів в Інституті сцинтиляційних матеріалів НАН України (м. Харків), а також у навчальному процесі НТУ "ХПІ".

СПИСОК ОПУБЛІКОВАНИХ РОБІТ ЗА ТЕМОЮ ДИСЕРТАЦІЇ

1. Корсунов Н.И., Дмитриенко В.Д., Леонов С.Ю., Гладких Т.В. Применение метода K -значного дифференциального исчисления для исследования работоспособности устройств в условиях помех. Часть 2. Практическое использование

// Информационно-управляющие системы на железнодорожном транспорте (ИУСЖТ). – Харьков: ХарГАЖТ, 1998. – № 1. – С. 26 – 29.

Здобувачем отримано коефіцієнти взаємного впливу провідників один на одного та розроблено модулі системи моделювання на основі K -значного диференційного числення, які призначені для моделювання пристроїв з урахуванням перешкод при виконанні конструкторського проектування.

2. Гладких Т.В., Леонов С.Ю. Моделирование гибридных устройств на основе K -значного дифференциального исчисления. // Информационно-управляющие системы на железнодорожном транспорте (ИУСЖТ). – Харьков: ХарГАЖТ, 1998. – № 4. – С. 74 – 76.

Здобувачем розроблено метод верифікації пристроїв, які містять у собі елементи, що описуються K -значними диференційними рівняннями з різними значеннями K , що забезпечує можливість моделювання гібридних пристроїв.

3. Гладких Т.В. Гибридные системы и K -значное дифференциальное исчисление // Сборник научных трудов ХГПУ "Информационные технологии; наука техника, технология, образование, здоровье". – Харьков: ХГПУ, 1999. – Часть 3. – Вып. 7. – С. 267 – 271.

4. Гладких Т.В. Система K -значного иерархического моделирования сложных устройств // Вісник Національного технічного університету "ХПІ". – Харків: НТУ "ХПІ", 2003. – Вип. 19. – С. 34 – 37.

5. Гладких Т.В., Леонов С.Ю. Исследование работы микропроцессора с помощью системы моделирования на основе K -значного дифференциального исчисления // Вісник Національного технічного університету "ХПІ". – Харків: НТУ "ХПІ", 2004. – Вип. 34. – С. 37 – 45.

Здобувачем розроблено K -значну модель мікропроцесора та виконано дослідження часових та частотних параметрів сигналів управління та синхронізації для забезпечення його коректного функціонування.

6. Гладких Т.В., Леонов С.Ю. Использование элементной базы Active-HDL при исследовании устройств САПР на основе K -значного дифференциального исчисления // Вісник Національного технічного університету "ХПІ". – Харків: НТУ "ХПІ", 2004. – Вип. 46. – С. 147 – 152.

Здобувачем запропоновано підхід до верифікації пристроїв на основі K -значного диференційного числення та розроблено модулі системи, що дозволяють досліджувати працездатність пристроїв, які спроектовані у середовищі ActiveHDL методом K -значного диференційного числення.

7. Дмитриенко В.Д., Леонов С.Ю. Гладких Т.В. Моделирование передачи данных с помощью K -значных дифференциальных моделей // Вісник Національного технічного університету "ХПІ". – Харьков: НТУ "ХПІ", 2005. – Вип. 46. – С. 67 – 76.

Здобувачем отримано K -значну диференційну форму телеграфних рівнянь і запропоновано чисельний метод рішення цього K -значного диференціального рівняння в часткових похідних.

8. Гладких Т.В., Леонов С.Ю. Система K -значного моделювання для дослідження переключальних процесів в цифрових пристроях // Вісник Національного технічного університету "ХПІ". – Харків: НТУ "ХПІ", 2005. – Вип. 56. – С. 175 – 187.

Здобувачем розширено модель елемента цифрової обчислювальної техніки, для забезпечення можливості моделювання пристроїв, що проектуються, з урахуванням розкиду затримок елементів.

9. Корсунов Н.И., Дмитриенко В.Д., Леонов С.Ю., Гладких Т.В. Применение метода K -значного дифференциального исчисления для исследования работоспособности устройств в условиях помех. Часть 1. Формализация задачи // Информационно-управляющие системы на железнодорожном транспорте (ИУСЖТ). – Харьков: ХарГАЖТ, 1997. – № 4. – С. 31 – 33.

Здобувачем було розроблено метод моделювання електронних пристроїв з урахуванням параметрів електромагнітної сумісності.

10. Дмитриенко В.Д., Леонов С.Ю., Гладких Т.В. Численные методы интегрирования K -значных дифференциальных уравнений с запаздыванием // Компьютерное моделирование. – Белгород: БелгТАСМ, 1998. – С. 44 – 49.

Здобувачем запропоновано метод рішення систем K -значних диференціальних рівнянь із запізнюванням, що характеризуються змінною структурою, та різними величинами запізнювання.

11. Гладких Т.В., Леонов С.Ю. Применение и использование метода K -значного дифференциального исчисления при проектировании вычислительных устройств // "CHIP NEWS". – 2000. – №10. – С. 25 – 26.

Здобувачем розроблено систему верифікації складних обчислювальних пристроїв на основі K -значного диференційного числення, яка реалізує принципи наскрізного проектування.

12. Гладких Т.В., Леонов С.Ю. Мощностной анализ процессов переключения в вычислительных устройствах // Сборник научных трудов "Теория и техника передачи, приема и обработки информации" ("Интегрированные информационные системы, сети и технологии") "ИИСТ–2002". – Харьков, ХНУРЭ, 2002. – С. 498 – 500.

Здобувачем розширено модель елемента цифрової обчислювальної техніки для забезпечення можливості обчислювання міцності переключення вхідних логічних сигналів та урахування її впливу на працездатність пристрою у цілому.

13. Leonov S.Yu., Gladkikh T.V. K -Value Differential Calculus CAD // Proceedings of East-West Design&Test Workshop. – Alushta, Ukraine. – 2004. – P. 227 – 230.

Здобувачем розроблено метод верифікації електронних пристроїв, що проектуються методом K -значного диференційного числення, з урахуванням параметрів електромагнітної сумісності на основі даних, які отримані із системи OrCAD.

14. Gladkikh T.V., Leonov S.Yu. Models of computer's elements in CAD based on the K -value differential calculus // Proceedings of IEEE East-West Design & Test Workshop. – Odessa: Ukraine, 2005. – P. 160 – 164.

Здобувачем розроблено моделі елементів цифрової обчислювальної техніки, які мають внутрішні зворотні зв'язки, функціонування яких описується системами K -значних диференціальних рівнянь з запізнюванням.

АНОТАЦІЯ

Гладких Т.В. Верифікація динамічних параметрів електронних пристроїв на основі K -значного моделювання. – Рукопис.

Дисертація на здобуття наукового ступеня кандидата технічних наук за фахом 05.13.05 – елементи та пристрої обчислювальної техніки та систем керування.

Дисертаційна робота присвячена розробці метода верифікації елементів та пристроїв обчислювальної техніки за допомогою моделювання засобами системи на основі K -значного диференціального числення. Таке моделювання дозволяє більш точно і повно виконувати оцінку правильності функціонування пристроїв, які досліджуються, з урахуванням при цьому реальних динамічних характеристик окремих елементів, зокрема, неоднозначних значень їхніх затримок, що є плаваючими у визначеному тимчасовому діапазоні, параметрів потужності сигналів переключення, коли граничний рівень перемикання окремих елементів не збігається з фронтом синхроімпульсу. Застосування моделювання на основі K -значного диференціального числення дозволяє виконувати комплексний аналіз обчислювальних елементів і пристроїв з використанням наскрізного принципу проектування і з обліком їхнього топологічного проектування, що забезпечує одержання мінімальних перешкод, зв'язаних з параметрами електромагнітної сумісності окремих елементів і пристроїв обчислювальної техніки. У роботі приведені численні результати досліджень, що підтверджують правильність і ефективність розроблених методів.

Ключові слова: динамічні параметри, верифікація, K -значне диференціальне числення, електромагнітна сумісність, плаваючі затримки, перешкоди.

АННОТАЦИЯ

Гладких Т.В. Верификация динамических параметров электронных устройств на основе K -значного моделирования. – Рукопись.

Диссертация на соискание научной степени кандидата технических наук по специальности 05.13.05 – элементы и устройства вычислительной техники и систем управления.

Диссертационная работа посвящена разработке метода верификации элементов и устройств вычислительной техники с помощью моделирования средствами системы на основе K -значного дифференциального исчисления. Такое моделирование позволяет

более точно и полно выполнять оценку работоспособности исследуемых устройств, учитывая при этом реальные динамические характеристики отдельных элементов, в частности, неоднозначные значения их задержек, которые являются плавающими в определенном временном диапазоне, мощностные параметры сигналов переключения, когда пороговый уровень переключения отдельных элементов не совпадает с фронтом синхроимпульса. Применение моделирования на основе K -значного дифференциального исчисления позволяет выполнять комплексный анализ вычислительных элементов и устройств с использованием сквозного принципа проектирования и с учетом их топологического проектирования, которое обеспечивает получение минимальных помех, связанных с параметрами электромагнитной совместимости отдельных элементов и устройств вычислительной техники. В работе приведены многочисленные результаты исследований, подтверждающие правильность и эффективность разработанных методов. Наличие в системе моделирования на основе K -значного дифференциального исчисления открытого интерфейса значительно расширяет возможности системы за счет совместной работы с системами OrCAD и ActiveHDL. Полученные в диссертационной работе численные методы решения K -значных дифференциальных уравнений второго порядка в частных производных позволяют моделировать длинные линии, связывающие отдельные элементы и устройства вычислительной техники и систем управления в вычислительные сети.

В диссертации разработан метод, который, позволяет выполнять связь между аналоговыми и цифровыми блоками при моделировании гибридных устройств. Разработанный метод верификации электронных устройств на основе K -значного дифференциального исчисления является основой автоматизированной системы моделирования для верификации проектируемых устройств с учетом параметров электромагнитной совместимости отдельных компонентов, мощностных и временных параметров процессов переключения логических сигналов и возможности разброса задержек элементов, обусловленного особенностями технологии их производства. Для разработанной системы получены базовые K -значные модели элементов и устройств вычислительно техники и систем управления. На их основе разработаны иерархические K -значные модели, которые позволяют значительно упростить исследование работоспособности сложных вычислительных устройств. Предложенные методы, модели и алгоритмы нашли применение при разработке системы управления производством монокристаллов в Институте сцинтилляционных материалов НАН Украины.

Ключевые слова: динамические параметры, верификация, K -значное дифференциальное исчисление, электромагнитная совместимость, плавающие задержки, помехи.

SUMMARY

Gladkikh T.V. The verification of electronic devices dynamic parameters based on K -valued simulation. – Manuscript.

The dissertation on competition of a scientific degree of Cand.Tech.Sci. on a speciality 05.13.05 – elements and devices of systems of computer techniques and control systems.

The given dissertational work is dedicated to development of serviceability research methods and resources of elements and devices of computer facilities with the help of simulation by means of system on the basis of K -value differential calculus. Such simulation allows more precisely and complete to carry out an estimation of researched devices serviceability, taking into account thus real dynamic characteristics of separate elements, in particular, ambiguous values of their delays, which are floating in the certain time range, power parameters of switching signals, when the threshold level of separate elements switching does not coincide with front of clock pulse. Application of simulation on the basis of K -value differential calculus allows to carry out the complex analysis of computing elements and devices with use of a through principle of designing and in view of their topological designing which provides reception of the minimal handicaps, which connected with parameters of separate elements electromagnetic compatibility and devices of computer techniques. In dissertational work the numerous results of the researches confirming correctness and efficiency of developed methods are resulted.

Key words: dynamic parameters, verification K -valued differential calculation, electromagnetic compatibility, floating delays, handicaps.

Відповідальний за випуск д.т.н., проф. Дмитрієнко В.Д.

Підп. до друку 09.01.2007 р. Формат 60x84 1/16. Папір Сору Paper.
Друк-ризографія. Облік. вид. арк. 0,9. Наклад 100 прим. Зам. №
Безкоштовно
