

РЕСУРСОЭФФЕКТИВНЫЙ РОУТЕР ДЛЯ МНОГОПРОЦЕССОРНОЙ СЕТИ НА ЧИПЕ

Лысенко А.Н., Романов А.Ю.

*Национальный технический университет Украины
"Киевский политехнический институт", г. Киев*

Развитие полупроводниковых технологий позволило разработчикам интегрировать десятки IP-ядер в одну многопроцессорную систему на кристалле FPGA. Это вызвало увеличение требований к подсистеме связи по пропускной способности и потребляемым ресурсам, а такие классические подходы как односвязная архитектура и общая шина стали неэффективны [1, 2].

Решение этой проблемы состоит в объединении IP-ядер с помощью специализированных роутеров в сеть NoC (Network on Chip) [1]. Однако наиболее распространенной архитектуре NoC с коммутацией пакетов и whormhole-технологией соединения присущ недостаток, состоящий в том, что классический роутер представляет собой матрицу, коммутирующую потоки флитов с входов на соответствующие выходы (рис. 1). Необходимость их буферизации приводит к большим затратам ресурсов [1, 3 – 6].

С целью уменьшения буферной памяти предложено архитектуру ресурсоэффективного роутера, в которой разделены функции коммутационной части на входной и выходной блоки, соединенные между собой буферной памятью типа FIFO (рис. 2). При этом вместо пяти буферных элементов для пяти портового роутера требуется всего один. Управление коммутацией осуществляется с помощью сигналов разрешения и подтверждения приема/передачи, а коммутация осуществляется по детерминистическому алгоритму XY.

Предложенный роутер был синтезирован в среде проектирования Quartus II для FPGA Cyclone II фирмы Altera, занимает 250 Les, 592 бита памяти. Статическое и динамическое потребление энергии – 40,43 мВт и 81,44 мВт, максимальная частота работы – 200 МГц, а пропускная способность достигает 2,13 Гбит/с. Это соизмеримо с существующими аналогами [5, 6], в то время как ресурсные затраты в разы меньше.

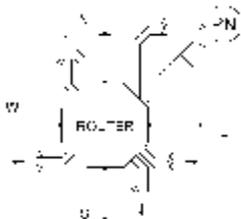


Рис. 1. Классическая структура роутера

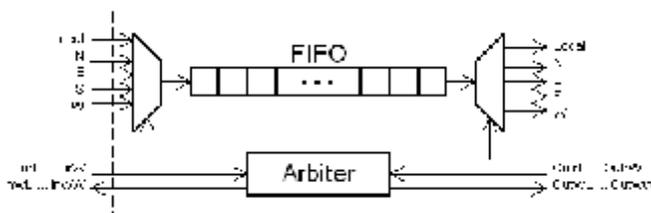


Рис. 2. Предложенная структура роутера

Список литературы: 1. Axel J., Hannu T. Networks on Chip // Kluwer Academic Publishers. – Dordrecht, 2003. – 303 p. 2. Angiolini F., et al. A layout-aware analysis of networks-on-chip and traditional interconnects for mpsocs // IEEE Transactions on Computer Aided Design of Integrated Circuits and Systems. – 2007. – Vol. 26, №3. – P. 421–434. 3. Bjerregaard T., Mahadevan S. A survey of research and practices of Network-on-chip // ACM Computing Surveys. – 2006. – Vol. 38 (1). – 51 p. 4. Ankur A., et al. Survey of Network on Chip (NoC) Architectures & Contributions // Engineering, Computing & Architecture. – 2009. – Vol. 3 (1). – 15 p. 5. Moraes F., et al. HERMES: an Infrastructure for Low Area Overhead Packet-switching Networks on Chip // Integration, the VLSI Journal. – 2004. – Vol. 38. – No. 1. – P. 69-93. 6. Marescaux T. Interconnection Networks Enable Fine-Grain Dynamic Multi-Tasking on FPGAs // FPL'02. – 2002. – P. 795-805.