

О.С. МЕЛЬНИК, канд. техн. наук, доц., НАУ, Київ;

Н.В. ТРОХИМЕНКО, асистент, НАУ, Київ;

О.В. ОНИЩУК, студентка, НАУ, Київ

ПРОГРАМОВАНІ НАНОЕЛЕКТРОННІ ЛОГІЧНІ ЕЛЕМЕНТИ

Запропоновано квантові коміркові наноелектронні схеми, скомпоновані з трьох мажоритарних елементів. Семивходовий логічний елемент може бути перетворений у різноманітні пристрої, такі як: чотиривходовий елемент І, чотиривходовий елемент АБО, добуток сум сигналів, суму добутоків та їх варіації.

Ключові слова: квантовий комірковий автомат, мажоритарний елемент, програмовані наноелектронні схеми.

Вступ. Фізичні обмеження поклали кінець традиційному масштабуванню КМОН елементів. Однак, почала приділятися увага до різноманітних нанотехнологій, що конкурують з традиційними КМОН-пристроями. Квантовий комірковий автомат (КА) – одна з цих технологій, яка вперше описана у [1]. Фундаментальним елементом КА є *мажоритарний елемент* [2]. Було показано, що ці елементи можуть бути використані як більш традиційні елементи, виконуючі одну з функцій (АБО чи І). Нижче розглядається комп'ютерне проектування *програмованих логічних схем* (ПНЕС), які мають сім входів і три виходи на базі мажоритарних елементів.

Аналіз останніх досліджень. Схемотехніка КА пропонує зовсім іншу систему елементів ніж традиційна КМОН-технологія, де поляризація, а не рівень напруги, зберігає інформацію, комірки є провідниками замість з'єднуючих провідів. Як показано на рис. 1, квантові автомати є діелектричними нанорозмірними квадратами, що містять напівпровідникову квантову точку в кожному куті [1, 3]. Два додаткові електрони, що знаходяться в кожній комірці, які можуть тунелювати від точки до точки в середині комірки, однак вони не можуть переміщуватись поза коміркою до сусідніх комірок. Два можливих види електронегативної поляризації, що можуть бути сформовані електронами, представляють собою логічні рівні «0» та «1», як показано на рис. 1.

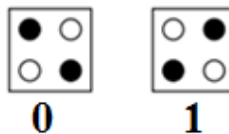


Рис. 1 – Дві поляризації комірок на КА.

На рис. 2 зображений провідник на КА. В цьому прикладі, значення логічної «1» передається по провіднику. Навіть незначної поляризації в комірці достатньо, щоб повністю поляризувати сусідню комірку. Напрямок потоку інформації через елемент чи провідник регулюється чотиритактовою системою синхронізації, що створює чи знімає бар'єри між комірками.

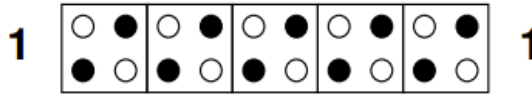


Рис. 2 – Провідник на КА.

Базовим логічним елементом на КА є мажоритарний елемент, показаний на рис. 3, що створений з п'яти комірок. Три з них – це входи елемента, позначені як x_2 , x_1 та x_0 . Центральна комірка реалізує логічну функцію мажоритарного вибору. Комірка, що залишилась і позначена f , виконує роль виходу.

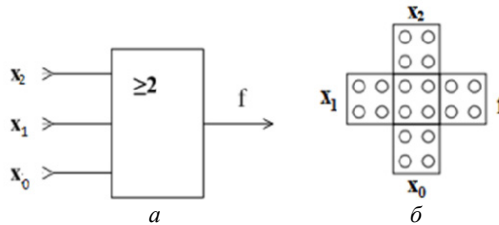


Рис. 3 – Мажоритарний елемент: a – умвне позначення; b – реалізація на КА.

Схема, наведена на рис. 3, виконує мажоритарну та булеву тотожну функцію:

$$f = maj(x_2, x_1, x_0) = x_2x_1 \cup x_2x_0 \cup x_1x_0. \quad (1)$$

Інші булеві логічні елементи формуються шляхом фіксації поляризації одного з входів. Рис. 4 відображає елементи 2-І та 2-АБО, сформовані саме за вищенаведеним принципом.

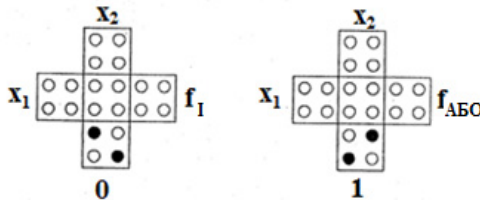


Рис. 4 – Запрограмовані логічні елементи 2-І та 2-АБО.

Заміна одного входу на комірку з фіксованою поляризацією «0» програ-

мує мажоритарний елемент на виконання логічної функції 2-І. Дійсно, спрощення рівняння (1) показує наступне:

$$f_I = maj(x_2, x_1, 0) = x_2 x_1.$$

Відповідно, замінюючи один з входів коміркою з фіксованою поляризацією «1», отримуємо логічний елемент 2-АБО:

$$f_{АБО} = maj(x_2, x_1, 1) = x_2 \cup x_1.$$

Незважаючи на те, що базовою логічною структурою КА є мажоритарний елемент, багато спроб реалізації схем на цих елементах розпочинались з обмеження потенціалу елемента до певної величини. Попередні складні елементи, що потребують більш ніж одну комірку, описані в літературі, однак ці елементи однаково обмежені виконанням декількох логічних функцій. У [2] складні елементи використовуються для реалізації функції 2-Виключне АБО. У [4] мажоритарний елемент обмежений до 2-І передувє інвертору і на виході реалізує функції 2-І-НІ; він створений для конфігурування логічних блоків типу FPGA. Альтернативою цього підходу є метод, коли з мажоритарних елементів в якості основних блоків складається ще більший та складніший FPGA, що має декілька інформаційних та програмуючих входів і кілька виходів.

Математична модель. Програмовані нанoeлектронні елементи. На рис. 5 зображений семивходовий з трьома виходами ПНЕС. Цей елемент складається з трьох мажоритарних елементів. Три входи p_2 , p_1 , p_0 призначені для програмування функції наносхеми. Інші чотири входи призначені для реалізації булевих функцій двох чи чотирьох аргументів. Функціональність вищенаведеної ПНЕС була перевірена на системі автоматизованого проектування QCA Designer.

На виходах ПНЕС сформуються три основні функції, що можуть бути описані у мажоритарному та булевому базисах:

$$f_1 = maj(x_2, x_1, p_2) = x_3 x_2 \cup x_3 p_2 \cup x_2 p_2, \quad (2)$$

$$f_2 = maj[maj(x_3, x_2, p_2), p_1, maj(x_1, x_0, p_0)] = (x_3 x_2 \cup x_3 p_2 \cup x_2 p_2) p_1 \cup \\ \cup (x_3 x_2 \cup x_3 p_2 \cup x_2 p_2)(x_1 x_0 \cup x_1 p_0 \cup x_0 p_0) \cup p_1 (x_1 x_0 \cup x_1 p_0 \cup x_0 p_0), \quad (3)$$

$$f_3 = maj(x_1, x_0, p_0) = (x_1 x_0 \cup x_1 p_0 \cup x_0 p_0). \quad (4)$$

В таблиці записані усі 18 функцій попарно двох та чотирьох аргументів при восьми різних поляризаціях на програмованих входах p_2 , p_1 та p_0 на ПНЕС.

Отже, семивходова ПНЕС реалізує логічні операції «2-2-І» та «4-І», якщо поляризація на програмованих входах:

$$p_2 = p_1 = p_0 = 0,$$

та коли поляризація має вигляд

$$p_2 = p_1 = p_0 = 1,$$

то отримуємо логічні елементи 2-2-АБО та 4-АБО. Відповідно, при поляризації 0, 1, 0 матимемо добуток сум

$$f_2(1, 0, 1) = (x_3 \cup x_2)(x_1 \cup x_0).$$

Таблиця – Вихідні функції ПНЕС двох або чотирьох аргументів

			$f_1(x_3, x_2)$	$f_2(x_3, x_2, x_1, x_0)$	$f_3(x_1, x_0)$
0	0	0	x_3x_2	$x_3x_2x_1x_0$	x_1x_0
0	0	1		$x_3x_2(x_1 \cup x_0)$	$x_1 \cup x_0$
0	1	0		$x_3x_2 \cup x_1x_0$	x_1x_0
0	1	1		$x_3x_2 \cup (x_1 \cup x_0)$	$x_1 \cup x_0$
1	0	0	$x_3 \cup x_2$	$(x_3 \cup x_2)x_1x_0$	x_1x_0
1	0	1		$(x_3 \cup x_2)(x_1 \cup x_0)$	$x_1 \cup x_0$
1	1	0		$(x_3 \cup x_2) \cup x_1x_0$	x_1x_0
1	1	1		$x_3 \cup x_2 \cup x_1 \cup x_0$	$x_1 \cup x_0$

Результат моделювання. В САПР QCA Designer можна використовувати два методи моделювання: *бістабільний* і *метод когерентного вектору* [5]. Для моделювання ПНЕС з 7 входами та 3 виходами (рис. 5) використовується перший метод. При бістабільному методі кожна комірка моделюється як звичайна система з двома станами.

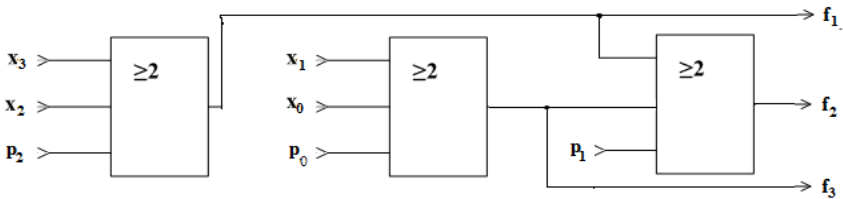


Рис. 5 – Семивходова мажоритарна ПНЕС.

Бістабільний метод використовує апроксимацію, що базується на взаємодії між комірками, зокрема сила взаємодії зменшується в залежності від відстані у мінус п'ятій степені, що розділяє їх. Однак, не всі ефекти комірки враховуються. Тільки ефекти в зоні радіусу 65 нм, який має кожна комірка.

Графічне зображення ПНЕС на проектному планшетаі QCAD з фіксованими поляризаціями 0,1,0 зображено на рис. 6, а. Треба бути обережним при розподілі зон синхронізації, враховуючи графік часового розподілу, інакше кажучи, всі сигнали мають прибувати до їх комірки взаємодії одночасно. Також важливо щоб кожна зона синхронізації мала

однакову амплітуду та часові зони були неперервно розподілені.

ПНЕС створена з комірок розміром (18×18) нм² з 4-ма квантовими точками, кожна діаметром 5 нм, а відстань між центрами комірок дорівнює 20 нм. Загальна кількість комірок – 101, а розмір всієї ПНЕС складає (420×380) нм². Наявні чотири інформаційні входи x_3, x_2, x_1, x_0 , три входи для поляризації програмування p_2, p_1, p_0 та три функціональні виходи f_1, f_2, f_3 .

На рис. 6, б наведені результати моделювання часових характеристик ПНЕС (рис.6, а) в режимі програмування $p_2 = 0, p_1 = 0, p_0 = 0$. Таким чином, семивиходова ПНЕС при указаній програмуючій поляризації реалізує функції логічних елементів $f_1 = x_3 x_2 (2 - I)$, $f_2 = x_3 x_2 \cup x_1 x_0 (2 - 2 - I - АБО)$ та $f_3 = x_1 x_0 (2 - I)$, що відповідає третьому варіанту таблиці.

За допомогою ПНЕС такого типу можна реалізувати функції п'яти та навіть шести аргументів, якщо додатково використовувати один чи два програмованих входи в якості інформаційних. Навпаки, при програмуванні одного чи двох інформаційних входів на виході ПНЕС будуть реалізовані логічні функції 3-І чи 3-АБО. Проте ці ускладнення суттєво обмежують швидкість ПНЕС.

До того ж, ПНЕС може бути запрограмована для реалізації на другому виході f_2 логічних функцій Виключне АБО (XOR):

$$f_{XOR} = \overline{x_1 x_0} \cup x_1 \overline{x_0} \quad (5)$$

чи Виключне АБО-НІ (XNOR):

$$f_{XNOR} = x_1 x_0 \cup \overline{x_1 x_0}. \quad (6)$$

Дійсно, програмування $p_2 = 0, p_1 = 0, p_0 = 0$ та заміна аргументів $x_3 = \overline{x_1}, x_2 = 0, x_0 = \overline{x_0}$ мінімізує початкову функцію (3) до виду (5). Для реалізації наступної функції (6) при попередніх поляризації програмування, слід замінити $x_3 = \overline{x_1}, x_2 = \overline{x_0}$.

Також доступна реалізація повного одно розрядного суматора доданків x_1, x_0 та переносу з молодшого розряду C_{ex} [4]. В цьому випадку на програмуючі входи слід подати $p_2 = p_0 = C_{ex}$ та $x_2 = x_0$, а на двох інформаційних входах зробити заміни $x_3 = \overline{x_1}, x_2 = x_0$. В цьому випадку на виходах f_2 та f_3 формуються сигнали суми S :

$$f_2 = S = maj \left[maj \left(\overline{x_1}, x_0, C_{ex} \right), x_1, C_{вих} \right] = \overline{x_1} x_0 C_{ex} \cup \overline{x_1} \overline{x_0} C_{ex} \cup \overline{x_1} x_0 \overline{C_{ex}} \cup x_1 \overline{x_0} \overline{C_{ex}},$$

і переносу до старшого розряду $C_{вих}$:

$$f_3 = C_{вих} = maj \left(x_1, x_0, C_{ex} \right) = x_1 x_0 \cup x_1 C_{ex} \cup x_0 C_{ex}.$$

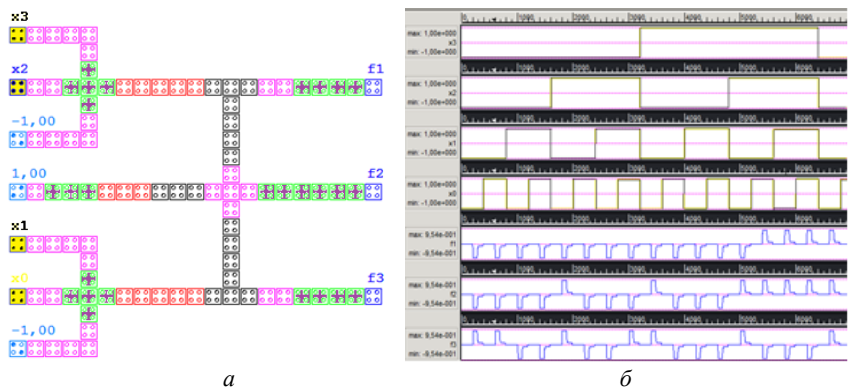


Рис. 7 – Результати роботи програми:
 а – структурна схема ПНЕС для поляризації й програмування 0, 1, 0 ;
 б – результати моделювання часових характеристик ПНЕС.

Висновки. Таким чином, у даній роботі успішно запропонована універсальна наносхема на квантових автоматах з програмованими характеристиками. Вона побудована на трьох мажоритарних елементах і має сім входів, три з яких, звичайно, програмуються для реалізації логічних функцій двох та чотирьох аргументів на трьох виходах. Наведені приклади реалізації комбінаційних елементів, що виконують логічні операції 4-І, 4-АБО, добутка двох сум, суми двох добутків та їх варіацій, Виключного АБО та Виключного АБО-Ні. Показаний метод побудови арифметико-логічних пристроїв на базі програмованих наносхем таких як суматорів з переносом, віднімачів із започиненням, перемножувачів та послідовностних схем.

Список літератури: 1. C. S. Lent. Quantum cellular automata / C.S. Lent, P.D. Tougaw, W. Porod, and G.H. Bernstein // *Nanotechnology*, vol. 4, no. 1, – January 1993 pp. 49 – 57. 2. P. D. Tougaw. Bistable saturation in coupled quantum-dot cells / P.D. Tougaw, C.S. Lent and W. Porod // *Journal of Applied Physics*, vol. 74, no. 5, – September 1, 1993, pp. 358 – 366. 3. Townsend W.J. Complex gate implementation for quantum dot cellular automata. / N.J. Townsend, J.A. Abraham, J. Sign. // *Process Syst.* – 2010, n. 58, pp 87 – 103. 4. Melnyk O.S. Computer simulation of nanoelectronics arithmetic-logic devices / O.S.Melnyk, L.O.Tsapok // *Електроніка та системи управління.* – 2012. – N1. – С. 65 – 71. 5. Walus K. QCADesigner: ACAD for an emerging nanotechnology / K.Walus // *Micronet Annual Workshop* - 2003.

Bibliography (transliterated): 1. Lent, C. S., et al. "Quantum cellular automata." *Nanotechnology*. Vol. 4. No. 1. 1993. 49–57. Print. 2. Tougaw, P. D., C. S. Lent and W. Porod. "Bistable saturation in coupled quantum dot cells." *Journal of Applied Physics*. Vol. 74. No. 5. 1993. 358–366. Print. 3. Townsend, W. J., J. A. Abraham and J. Sign. "Complex gate implementation for quantum dot cellular automata." *Process Syst.* No. 58. 2010. 87–103. Print. 4. Melnyk, O. S., and L. O. Tsapok. "Computer simulation of nanoelectronics arithmetic-logic devices." *Elektronika ta systemy upravlinnja*. No. 1. 2012. 65–71. Print. 5. Walus, K. *QCADesigner: ACAD for an emerging nanotechnology. Micronet Annual Workshop*. 2003. Print.

Надійшла (received) 29.05.2014