

## АДАПТИВНЫЙ НЕЙРО ФАЗЗИ РЕГУЛЯТОР СКОРОСТИ ДЛЯ ДВИГАТЕЛЯ ПОСТОЯННОГО ТОКА НА БАЗЕ FPGA

В современном электроприводе возникает задача использовать регуляторы повышенной сложности для управления самыми различными объектами. Которые в свою очередь требуют обеспечить высокую вычислительную мощность, и при этом управляющее устройство должно иметь низкую стоимость.

В последнее время на мировом рынке систем управления процессами и в частности электроприводом все чаще используется в качестве вычислительного модуля FPGA(Field Programmable Gate Array) или как принято в отечественной литературе ПЛИС (программируемых логических интегральных схем). Такая тенденция обусловлена несколькими технико-экономическими факторами:

- Интеграция системы управления (вычисления) сбора данных в один чип (one chip - one solution),
- Высокая вычислительная мощность,
- Относительная стоимость устройства в выпускаемой серии.

Основываясь на исследованиях и анализе BDTI (Berkley Design Technology Inc.) [1] FPGA и DSP(Digital Signal Prozessor) процессоры имеют разные области применения. DSP используется в основном для конкретного известного алгоритма требуется использование процессора высокой мощности с небольшим числом периферийных устройств и для консольных приложений. FPGA используют в системах со значительным входным и выходным потоком данных, таких, например, как обработка видео, фильтрация потоков данных в реальном времени, и особенно в случае, если задача требует универсальности решения и/или концентрации вычислительных алгоритмов в одном чипе[2].

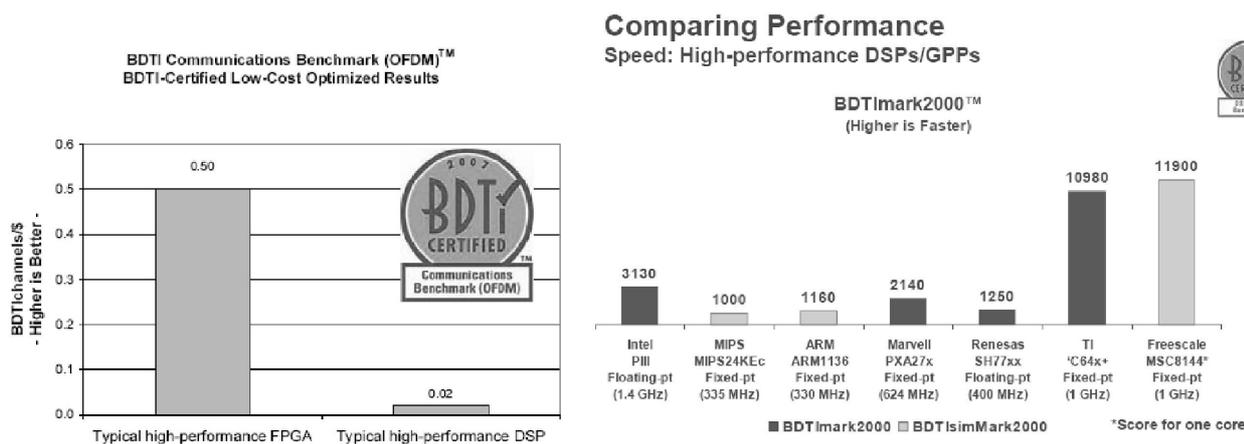


Рис. 1а) независимое сравнение показателя вычислительная мощность/цена FPGA и DSP при выполнении теста коммуникации OFDM [3].

б) Сравнение вычислительной мощности различных типов сигнальных процессоров [4].

Как видно из Рис. 1а, показатель вычислительная мощность/цена у FPGA, значительно выше, чем у сигнальных процессоров. Такое превосходство достижимо в случае распараллеливания вычислений (например, коммуникационный тест на Рис. 1а) и/или необходимости в многократном выполнении однотипной задачи.

Из представленных на Рис. 1а, 1б, показателей эффективности применения вычислительных средств, можно сделать вывод, о возможностях производительности FPGA в сравнении с DSP.

Также необходимо отметить, что в настоящее время способы и средства моделирования Verilog HDL/ VHDL позволяют использовать совместно симуляционный пакет MATLAB и, например, Xilinx System Generator для симуляции и верификации разработанных алгоритмов.

В данной работе система управления/ регулирования была разработана по следующим этапам:

- Конвертирование вычислений системы управления из double в fixed point и анализ необходимой точности для заданного качества регулирования
- Синтез алгоритма управления на Verilog HDL/ VHDL
- Математическое моделирование системы управления и анализ результатов
- Компиляция проекта для FPGA, проверка и анализ качества работы разработанной системы управления

Использование в FPGA fixed point вычислений в данном случае является целесообразным, т.к. во-первых floating point требует больше вычислительных ресурсов; во-вторых, вся точность вычислений будет

нивелирована качеством и точностью измеряемых сигналов. В связи с этим был проведен анализ синтезируемой системы регулирования с fixed point арифметикой.

Наиболее распространенным способом перехода от вычислений с плавающей точкой к целочисленным вычислениям заключается в обычном масштабировании всех сигналов на некоторый коэффициент  $k \gg 0$ , который обычно выбирается равным самому большому сигналу в системе, округленному до ближайшего целого. Существенным недостатком этого метода является необходимость масштабировать все коэффициенты и параметры системы.

Другой способ заключается в том, что необходимо задаться определенной точностью (разрядностью) целой и дробной части числа. Формат числа выбирается в виде, например, 32 бита (разряда). Количество целочисленных разрядов выбирается из условий максимального рабочего диапазона числа, а количество дробных разрядов выбирается из требований к точности вычислений.



Рис. 2 представление числа с плавающей точкой в виде целого числа

В общем виде число с плавающей точкой представляется в виде:

$$\text{fixed point} = (-1)^z 2^n + 2^{-m} \quad (1)$$

где,  $z, n, m$  - целые числа.

Число в 32 бита хранится как целочисленное, а точка используется только при переходе из целочисленного формата в формат с плавающей точкой, отделяя заданное количество разрядов от целочисленного результата арифметических операций [5]. При умножении количество дробных разрядов удваивается, но младшие разряды отбрасываются с потерей точности. Еще один бит используется для запоминания знака числа. Как правило увеличение разрядности чисел приводит к росту требований к вычислительной мощности чипа и объему его коммуникаций.

В статье рассматривается система управления для ДПТ с помощью схемы прямого адаптивного управления, где в качестве регулятора была использована нечеткая система типа Сугено[6,7]. Упрощенно ее можно описать формулой:

$$y(x) = \frac{\sum_{k=1}^M \left( \prod_{j=1}^N \mu_{A_i}(x_j) \right) \cdot Z_k}{\sum_{k=1}^M \left( \prod_{j=1}^N \mu_{A_i}(x_j) \right)} \quad (2)$$

где  $M$  - количество правил фаззи системы,  $N$  - количество входов фаззи системы,  $Z_k$  коэффициенты выходного слоя фаззи системы. Функции принадлежности имеют форму треугольника описываются

$$\text{зависимостью } \mu_{A_i}(x_j) = \max \left( \min \left( \frac{x_j - a_j^{(i)}}{b_j^{(i)} - a_j^{(i)}}, \frac{c_j^{(i)} - x_j}{c_j^{(i)} - b_j^{(i)}} \right), 0 \right).$$

Для упрощения вычислений функций принадлежности, деление на  $b_j^{(i)} - a_j^{(i)}$ , и  $c_j^{(i)} - b_j^{(i)}$  заменяется умножением на обратные им величины. Вычисление функций принадлежности можно еще более упростить выбрав коэффициенты  $a, b, c$  в виде  $a = 2^m$ , тогда умножение заменяется битовым сдвигом. Это очень сильное упрощение, поскольку количество блоков умножения в FPGA чипах ограничено. В формуле (2) произведение также надо заменить операцией min что также позволяет избавиться от умножения.

Как показали эксперименты, нормирование сигналов правил фаззи системы (знаменатель формулы (2)) так же можно отбросить, без существенных потерь качества управления.

В итоге фаззи система описывается следующей зависимостью:

$$y(x) = \sum_{k=1}^M \left( \min_{1 \leq j \leq N} (\mu_{A_i}(x_j)) \right) \cdot Z_k \quad (3)$$

Двигатель имеет следующие параметры:

Номинальное напряжение:  $U_N = 20$  В, номинальная скорость:  $w_n = 8360$  1/мин (875 рад/с),

максимальный момент:  $M_n = 26.7 \text{ мН*м}$ . Параметры модели представлены в таблице 1.

Табл. 1 Параметры ДПТ

$L, \text{ Гн}$	$R, \text{ Ом}$	$C_m, \text{ Н*м/А}$	$C_v, \text{ м*сек/рад}$	$J, \text{ кг*м}^2$
0.24/1000	2.32	23.4/1000	407/(2*pi/60)/1000	10.3/(1000 * 104)

Схема управления и структурная схема двигателя представлены на Рис. 3.

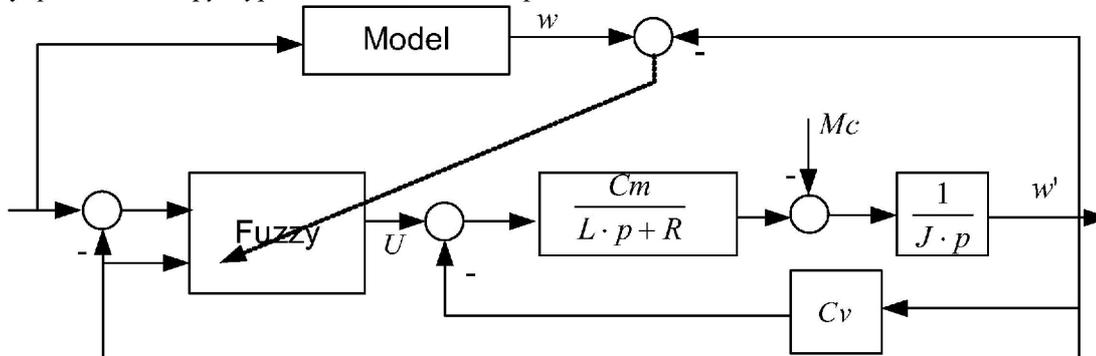


Рис. 3 Структурная схема системы прямого адаптивного управления ДПТ.

Для изменения параметров фаззи регулятора в схеме на Рис.3 используется ошибка отклонения между реальной скоростью двигателя и желаемой скоростью, которая определяется с помощью модели желаемой динамики. Минимизируемый функционал качества определяется формулой:

$$\varepsilon = \frac{1}{2} (w - w')^2 \quad (4)$$

Формула адаптации параметров фаззи регулятора представляет собой так называемое «дельта-правило», что аналогично методу «наискорейшего спуска». Для нахождения значения поправки коэффициентов требуется продифференцировать выражение(3) по параметрам фаззи регулятора. В итоге получим:

$$Z_{i+1} = Z_i - \eta \frac{\partial \varepsilon}{\partial Z_i} = Z_i - \eta (w - w') \left( \min_{1 \leq j \leq N} (\mu_{A_i}(x_j)) \right) \quad (5)$$

Коэффициент  $\eta > 0$  играет роль весового коэффициента.

Как видно в представленном законе управления отсутствуют коррекции параметров функций принадлежности  $a, b, c$ . По результатам предварительных экспериментов было сделано заключение, что при данном законе адаптации влияние параметров функций принадлежности относительно мало в сравнении с влиянием параметров выходного слоя  $Z$  и их можно оставить константами. Это допущение позволяет очень сильно упростить вычисление коррекций параметров, и облегчить алгоритм адаптации.

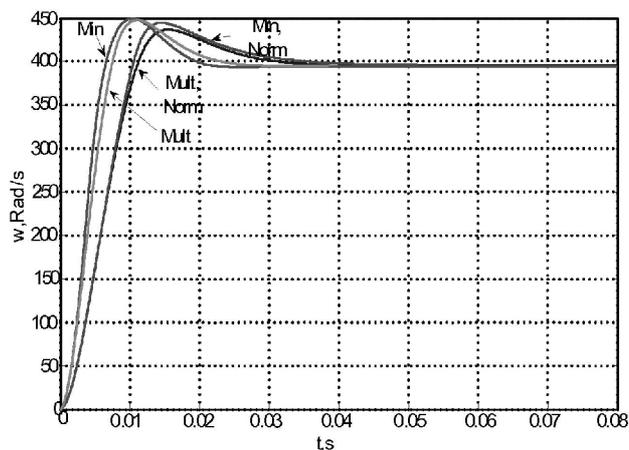


Рис. 4 Переходные процессы регулирования скорости при различных операциях фаззи правил.

На Рис. 4 представлены результаты упрощения структуры фаззи системы при использовании слоя нормализации и без, а также использование в качестве «И» правила - умножение, или операции min. Из представленных переходных процессов можно сделать вывод, что отказ от нормализации заметно ускоряет

переходный процесс и увеличивает перерегулирование. Использование операции *min* вместо умножения несущественно влияет на ошибку управления. Судя по результатам тестирования, представленным на Рис. 4 внесенные в нейро-фаззи упрощения не оказывают сильного негативного влияния на переходный процесс регулируемой системы.

Ниже на Рис. 5 представлены графики переходных процессов при управлении ДПТ с нейрофаззи регулятором и ПИ регулятором, настроенным на оптимальное быстрое действие. Слева представлены графики соответствующие нейрофаззи регулятору. Справа представлены графики переходного процесса при ПИ управлении. Внизу показаны графики соответствующие абсолютному отклонению текущей координаты в *fixed point* от „идеального“ процесса в числах с *floating point*. В момент времени 25 мсек момент инерции двигателя увеличивается скачком в 5 раз. В момент времени 50 мсек прикладывается момент нагрузки, равный номинальному – 0.0283 Нм.

На Рис. 5 введены следующие обозначения: 1 переходный процесс при *fixed point* всего 32 разряда, и из них 8 разрядов на дробную часть без изменения момента инерции двигателя; 2 - переходный процесс при *fixed point* всего 32 разряда, и из них 8 разрядов на дробную часть при изменении момента инерции двигателя; 3 переходный процесс при *fixed point* всего 32 разряда, и из них 4 разряда на дробную часть, без изменения момента инерции двигателя; 4 переходный процесс при *fixed point* всего 32 разряда, и из них 4 разряда на дробную часть, при изменении момента инерции двигателя;

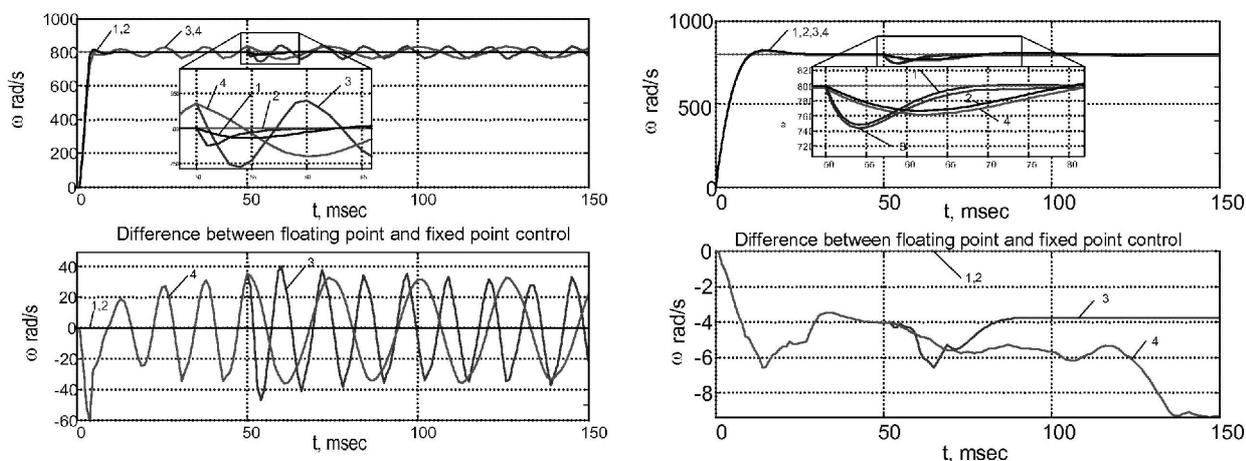


Рис. 5 Переходной процесс регулирования скорости ДПТ при различной точности представления чисел.

Как видно из Рис. 5 для приемлемой точности управления достаточно использовать 32 разрядные числа, в которых дробная часть должна иметь не менее 5 разрядов. С увеличением разрядности дробной части точность резко возрастает. Если дробная часть имеет разрядность более 8, процесс практически не отличается от расчетов в *floating point*. Колебательный процесс изменения отклонения скорости при нейро-фаззи управлении объясняется влиянием закона адаптации регулятора. Кроме того, нейрофаззи регулятор всегда стремится уменьшить ошибку, и в статическом режиме отклонение от заданного значения стремится к нулю, в то время как при *fixed point* вычислениях ПИ регулятор обладает статической ошибкой при регулировании скорости. В обоих регуляторах достигается приемлемое качество регулирования при изменении момента инерции двигателя. При использовании всего 4 разрядов для дробной части чисел нейрофаззи регулятор работает с колебаниями, что вызвано погрешностями при выполнении арифметических операций. ПИ регулятор работает все еще без колебаний поскольку требует значительно меньше расчетов.

#### Выводы:

Применение FPGA позволяет реализовывать сложные алгоритмы управления в автоматизированной среде, позволяющей проводить предварительное моделирование и в итоге получать эффективные, надежные и относительно дешевые средства управления сложными электромеханическими системами.

#### Литература:

1. [http://www.bdti.com/articles/info\\_articles.htm](http://www.bdti.com/articles/info_articles.htm)
2. <http://www.dsp-fpga.com>
3. [http://www.bdti.com/articles/fpga\\_article.pdf](http://www.bdti.com/articles/fpga_article.pdf)
4. [http://www.bdti.com/articles/200805\\_EECS124.pdf](http://www.bdti.com/articles/200805_EECS124.pdf)
5. M. A. Khamsi and W. A. Kirk An Introduction to Metric Spaces and Fixed Point Theory in John Wiley, 2001.
6. M.N. Cirstea, A. Dinu, J.G. Khor, M. McCormick, Neural and Fuzzy Logic Control of Drives and Power Systems. Newnes, 2002.
7. Jay A. Farrell, Marios M. Polycarpou: Adaptive Approximation based Control. A John Wiley and Sons, Inc., 2006.