

Пуйденко В.О.

Харківський радіотехнічний коледж, м. Харків

У роботі синтезовані мінімальні апаратні рішення алгоритму заміщення PLRU для множинно-асоціативної кеш-пам'яті мікропроцесорів з напрямками $q=16, 32$. Побудовані комп'ютерні моделі (рис.1) дозволили дослідити діаграми часу роботи та показники затримки τ при влучанні, складності C та надійності P відповідно.

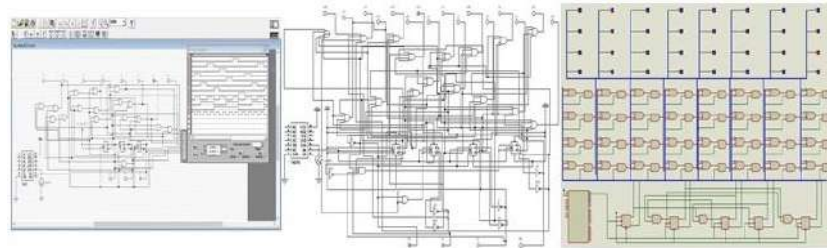


Рисунок 1 – Комп'ютерні моделі мінімальних апаратних рішень алгоритму PLRU для $q = 8, 16, 32$

Реалізований синтез мінімальних апаратних рішень для напрямків $q = 4$ [1], 8 [1], 16, 32 став підставою для подальших визначень показників затримки τ , складності C та надійності P (рис.2) для $64 \leq q \leq 65536$, де до складу відповідної загальної складності C увійшов прогнозований додатковий показник складності, значення якого знаходиться у межах $0,0043\% \leq C_{add_log} \leq 5,88\%$ і який не впливає на показник затримки τ .



Рисунок 2 – Графіки залежності показників складності C , надійності P та затримки τ від $4 \leq q \leq 65536$

Література:

1. Пуйденко В.О. Методи та засоби апаратної реалізації та вибору алгоритмів заміщення даних у кеш-пам'яті мікропроцесорів: дис. ... канд. техн. наук : 05.13.05. Харків, 2021. 246 с.