

ТЕХНОЛОГІЯ ВНУТРІШНЬОСХЕМНОГО ТЕСТУВАННЯ

Смолін Ю.О., Кононихін О.Д.

*Національний технічний університет
«Харківський політехнічний інститут», м. Харків*

Внутрішньосхемне тестування – технологія перевірки окремих елементів на платі або окремих вузлів схем з використанням спеціалізованого обладнання (ІСТ-станцій) і електромеханічного пристрою (голчастого адаптера). Така технологія дозволяє аналізувати як окремі елементи схеми, так й аналогові гілки схем. При реалізації цієї технології, що реалізує фізичний контакт голок з друкованими провідниками й контактами елементів, які тестуються, виникають труднощі при реалізації цієї технології в тестуванні. В першу чергу постійна мініатюризація елементів призводить до суттєвих зменшень геометричних розмірів та форм контактних майданчиків і їх вимушеному переміщенню під корпуси елементів.

Одним з варіантів усунення цих проблем є використання методу тестування «літаючими щупами» або «літаючими матрицями». Таке рішення дозволяє не виводити спеціальні контактні майданчики для тестування, але при цьому значно збільшується час перевірки. В результаті внутрішньосхемного тестування формується звіт про тестування, приклад якого зображено на рис.1.

Category	Tested devices	Untested devices	Device coverage%	Tested pins	Untested pins	Pin coverage %
MECHANICAL	0	0	0	0	0	0
INTEGRATED CIRCUIT	36	0	100	712	42	94.43
TRANSISTOR	63	0	100	279	0	100
DIODE	36	0	100	86	0	100
ZENER	4	0	100	8	1	88.89
LED	6	0	100	13	2	86.67
CAPACITOR	216	0	100	432	0	100
RESISTOR	289	14	95.38	612	30	95.33
RESISTOR NETWORK	8	0	100	64	0	100
FUSE	15	1	93.75	30	2	93.75
CHOKE	6	0	100	12	4	75
CRYSTAL	2	0	100	8	0	100
STRAP	41	1	97.62	82	2	97.62
CONNECTOR	18	14	56.25	421	688	37.96
FIKUSAL	0	0	0	0	0	0
UNKNOWN LABEL	1	1	50	2	2	50
Frame Scan	110	8	93.22	967	946	50.58
Delta Scan	34	0	100	536	215	71.33
Vision Test	0					
* Boundary Scan						
* AFTS						
Total	740	31	95.98	2626	770	90.6

Short Coverage overview		
Covered net pairs	Uncovered net pairs	Shorts coverage %
4214	137	96.65

Рисунок 1 – Приклад звіту з внутрішньосхемного тестування

Застосування внутрішньосхемного тестування обмежується необхідністю значних витрат на обладнання, розробку і виготовлення голчастих адаптерів, необхідність у кваліфікованому аналізі тестопридатності схеми друкованої плати і оптимізації розміщення голок ІСТ, необхідність залучення кваліфікованих тест-програмістів для розробки ефективних програм тестування.